Subject ..... Date .....

الکترونیک دیجیتال

مروری بر عناصر الکترونیک — بررسی ترانزیستورهای اثر میدان — بعدی مباحث فیزیکی حاکم بر ادوات نیمه‌هادی

مشخصات انواع مدارهای منطقی — پیاده‌سازی توابع منطقی — طراحی مدارهای ترتیبی

فرایند ساخت CMOS — نحوه رسم ماسک‌ها برای یک دیاگرام سیمی

تخمین مساحت و تعداد ترانزیستورها در هر دیمر

مدل کردن اثرات — تخمین تأخیر از طریق بررسی ساختار منطقی — روش‌های کاهش توان مصرفی

اصول و عملکرد عناصر ذخیره کننده — حافظه‌های فلش — مدارهای جانبی لازم برای عملکرد حافظه

آزمون پذیری — مشخصات کلی

هدف: پیاده‌سازی مدارهای منطقی دیجیتال از دیدگاه ساخت آن‌ها

میانترم ۱۵ اردیبهشت

بر اساس نحوه هدایت: رسانا / نارسانا / نیمه‌رسانا (نیمه‌هادی) *

در نظریه نواری الکترون‌ها بر روی نوارهای انرژی قرار دارند و هرکدام از آن‌ها انرژی مشخصی دارند. این انرژی‌ها گسسته است.

باند هدایت — الکترونی از باند ظرفیت به باند هدایت منتقل شود می‌توانیم بگوییم الکترون آزاد داریم

Gap

(باریکت نسبی)

داریم باند ظرفیت — فرض کنیم به تقریب تمدی به هسته دارد و به الکترون آزاد

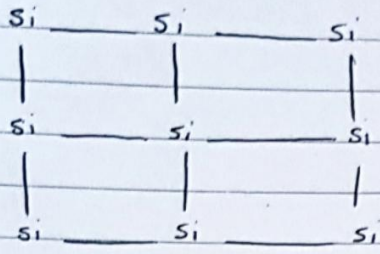
تمام حفره‌ها با آن حفره تقریبی می‌شود — تبدیل می‌شود

حفره انرژی‌اش برای مهیت الکترون از باند ظرفیت به باند هدایت جا می‌شود یعنی ربع الکترون حفره پر می‌کند.

Jozveh city.ir
https://t.me/miirza_beneviis

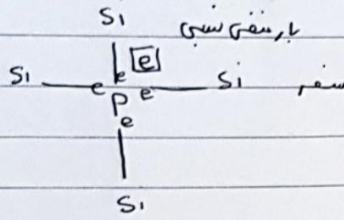
subject ..... Date .....

ساختار شبکه نیمه هادی



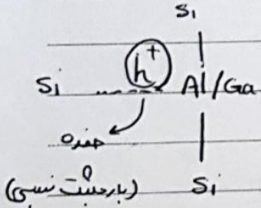
شبکه اتمی سیلیکون بسیار منظم است
در حالت عادی خنثی است.
می توانیم با افزودن ناخالصی به شبکه سیلیکون
از استفاده از مواردی نوشبک علت حامل های
مثبت و منفی را کنترل کنیم.

نیمه هادی نوع N

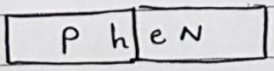


تعدادی از اتم‌های Si را با عناصر پنج ظرفیتی جایگزین می‌کنیم مانند فسفر

نیمه هادی نوع P



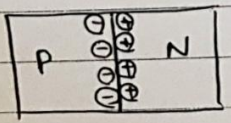
در این حالت از عناصر سه ظرفیتی مانند Al و Ga استفاده می‌شود



دیود

جریان را از یک طرف عبور می‌دهد.

به دلیل گرادیان غلظت در محل اتصال دو ناحیه P و N حفره‌ها به سمت الکترون‌ها و الکترون‌ها



سمت حفره‌ها حرکت می‌کنند و با یکدیگر ترکیب می‌شوند.
⊕ تولید بار مثبت نسبی e ناحیه N با h ناحیه P تهی‌شده
خنثی می‌شوند.
⊖ تولید بار منفی نسبی h ناحیه P با e ناحیه N خنثی شده است
زیرا h با e ترکیب شده‌اند

clips
https://t.me/miirza_beneviis
jozvencity.ir

Subject ..... Date .....

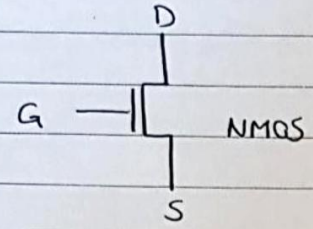
MOS FET = Transistor

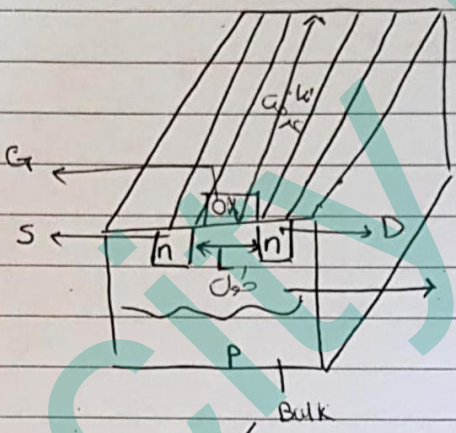
Metal → Field

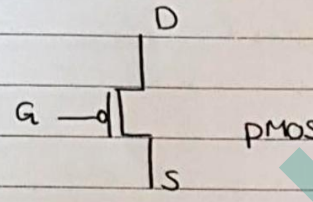
Oxide → Effect

Silicon

ترانزیستور اثر میدان



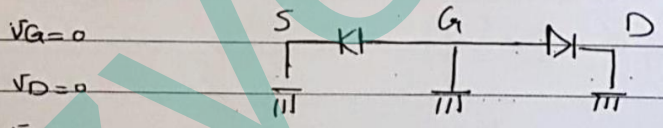




Bulk را معمولاً به Source متصل می‌کنند

را با تکنولوژی مشخص می‌کنند اما W دست ماست

W بیشتر احتمال بین D و S بیشتر

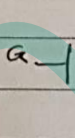


$V_G = 0$

$V_D = 0$

$V_S = 0$

$V_B = 0$



با افزایش ولتاژ G الکترون‌ها از زیر G به Substrate ایجاد می‌شود و سبب می‌شود که الکترون‌ها به سمت G کشیده شود.

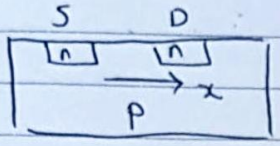
تبدیل موقتی نیمه‌هادی نوع P در ناحیه زیر G به نیمه‌هادی نوع N در اثر اعمال ولتاژ به G را پدیده وارونگی یا Inversion می‌نامند.

اگر ولتاژ G به حد مشخصی برسد ($V_G = V_{th}$) میزان وارونگی در زیر G به حدی می‌رسد که امکان برقراری جریان بین D و S به صورت یک مقاومتی بین آن‌ها ایجاد شود برقرار می‌گردد.

https://t.me/miirza_beneviis

Subject ..... Date .....

از ترکیب المنت‌های مقاومت‌ها با اتصال ولتاژ به آن در نواحی D و S باعث می‌شود



$V(x)$

$V(0) = V_S = 0$

$V(L) = V_D$

$C = \varepsilon \frac{A}{d}$

ولتاژ دو سر خازن

$Q = C \cdot \Delta V$ ←

$dq = C \frac{dV}{\Delta V} = \left((V_{GS} - V_{th}) - V(x) \right) \times \varepsilon \frac{W\,dx}{t_{ox}}$

$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$

$dQ = (V_{GS} - V_{th} - V_x) \times C_{ox} \times W \times dx$

$i = \frac{dQ}{dt} = (V_{GS} - V_{th} - V_x) \times C_{ox} \times W \times \frac{dx}{dt}$

سرعت حامل‌ها

$u = \mu E$ ← میدان الکتریکی

mobility ↙

$E = \frac{dV}{dx}$

$i = (V_{GS} - V_{th} - V_x) \times C_{ox} \times W \times \mu_n \times \frac{dV(x)}{dt}$

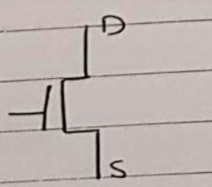
$$\int_0^L i\,dx = \int_0^{V_{DS}} (V_{GS} - V_{th} - V_x)\, C_{ox}\, W\, \mu_n\, dV_x$$

$$i \times L = \mu_n C_{ox} W \left(V_{GS} - V_{th} \right) V - \frac{1}{2} V^2 \Big|_0^{V_{DS}}$$

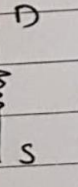
$$i_{DS} = \mu_n \frac{C_{ox} W}{L} \left((V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right)$$ ← معادله

$\mu_n C_{ox} = K'_n$

$\mu_n C_{ox} \frac{W}{L} = K_n$

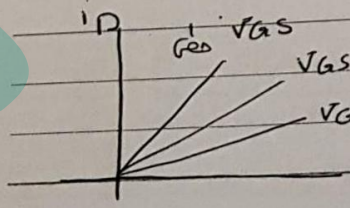


≡

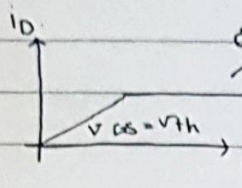


$R = \frac{1}{K_n (V_{GS} - V_t)}$

$V_{DS} \to 0$



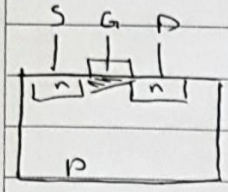
https://t.me/miirza_beneviis



نحوه محاسبه: $i_{DS} = \mu_n C_{ox} \frac{W}{L}\left((V_{GS}-V_{th})V_{DS} - \frac{1}{2}V_{DS}^2\right)$

اثر افزایش V_{DS}

با افزایش V_{DS} سبب افزایش اندازه میدان الکتریکی از سمت D به S می‌شود، این میدان سبب تجمع بارهای D_n و تجمع بارهای منفی در S می‌شود. در نتیجه عرض کانال در سمت D کوچکتر می‌شود و عرض کانال در سمت S افزایش می‌یابد تا جایی که به طور کلی این کانال در سمت D قطع می‌شود. به این پدیده Pinch off گفته می‌شود. در این حالت جابجایی بار به صورت زیر صورت‌های انجام می‌شود.



$V_{GS} > V_{th}$

$V_{DS} \uparrow \Rightarrow E \uparrow$

$L - \Delta L = L_{eff}$

اگر بتانسیل کانال در سمت D به قدر کافی بزرگ باشد تا $V_{GS} - V_{th}$ خنثی شود.

$$i_{DS} = \frac{1}{2}\underbrace{\mu_n C_{ox}\frac{W}{L}}_{k}(V_{GS}-V_{th})^2$$

اثر مدولاسیون طول کانال

$$i_{DS} = \frac{1}{2}\mu_n C_{ox}\frac{W}{L_{eff}}(V_{GS}-V_{th})^2 \qquad L_{eff} = L - \Delta L$$

$$i_{DS} = \frac{1}{2}\mu_n C_{ox}\frac{W}{L-\Delta L}(V_{GS}-V_{th})^2$$

$$\left(\frac{1}{1-x}\right) \approx 1 + x + x^2 + \dots \quad (x \to 0)$$

$$i_{DS} = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}\left(\frac{1}{1-\frac{\Delta L}{L}}\right)(V_{GS}-V_{th})^2$$

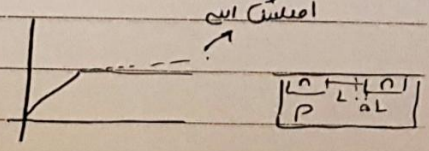
$$\frac{1}{1-\frac{\Delta L}{L}} = 1 + \lambda$$

$\Delta L \ll L \qquad \frac{\Delta L}{L} = \lambda$

$$i_{DS} = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(1+\lambda)(V_{GS}-V_{th})^2$$

↓

اینجوری صفر در نظر می‌گیریم.



https://t.me/miirza_beneviis

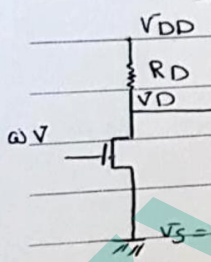
Date

nMOS →
- enhanced mode (افزایشی): D, G, S — $V_{GS} > V_{th}$ — در این ترانزیستور برای تشکیل کانال نیاز است V_{GS} بزرگتر از V_{th} باشد. $V_{th} \approx 0.2\ V_{DD}$
- Depletion mode (تهی‌سازی): D, G, S — $V_{th} \approx -0.2\ V_{DD}$ — از قبل کانال تشکیل شده و ولتاژ آستانه منفی است

حالت‌های ترانزیستور NMOS:
- $I_{DS} = 0$, $V_{GS} < V_{th}$: Cut-off
- $I_{DS} = \mu_n C_{ox} \frac{W}{L} \left((V_{GS}-V_{th})V_{DS} - \frac{1}{2}V_{DS}^2\right)$ | $V_{DS} < V_{GS}-V_{th}$ | $V_{GS} > V_{th}$: linear
- $I_{DS} = \frac{1}{2}\mu_n C_{ox} \frac{W}{L}(1+\lambda)(V_{GS}-V_{th})^2$ | $V_{DS} > V_{GS}-V_{th}$ | $V_{GS} > V_{th}$: Sat.

حالت‌های ترانزیستور PMOS:
- $I_{DS} = 0$, $V_{GS} > V_{th}$: Cut-off
- $I_{DS} = \mu_p C_{ox} \frac{W}{L}(\dots)$ $V_{DS} > V_{GS}-V_{th}$, $V_{GS} < V_{th}$: linear
- $I_{DS} \dots$ $V_{DS} < V_{GS}-V_{th}$, $V_{GS} < V_{th}$: Sat

مثال: در مدار زیر ولتاژ $D = 0.1\ V$ مقاومت بین D و گراند بدست بیاورید.



$V_{DS} = 0.1$, $V_{GS} = 5\ V$ → $V_{DS} < V_{GS} - V_{th}$ چون $0.1 < 5 - 1$

$I_{DS} = K\left[(V_{GS}-V_{th})V_{DS} - \frac{1}{2}V_{DS}^2\right] = 0.5 \times \left((5-1)\times 0.1 - \frac{1}{2}(0.1)^2\right)$

$= 0.1995\ mA$

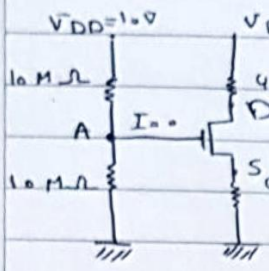
$R = \frac{V_{DD} - V_D}{I_{DS}} = \frac{5 - 0.1}{0.1995\ \Omega}$

$r_{ds} = \frac{0.1}{0.1995\ \Omega}$

jozvencity.ir
https://t.me/miirza_beneviis

مثال: ترانزیستور زیر در چه ناحیه‌ای کار می‌کند؟

$V_{th} = 1\ V$ $\quad k = \frac{1}{\text{[illegible]}}\ mA/V^2$



$V_{DD} = 10\ V$ تقسیم مقاومتی

$V_D = 10 \times \frac{10}{10+10} = 5$

برای مدت کوتاه $I_G = 0$ (به خاطر خود عایق)

$V_G = 5$

$V_S = ?$

$V_D = ?$

فرض می‌کنیم ترانزیستور در ناحیه اشباع است.

ترانزیستور در حالت قطع $\leftarrow V_G < V_{SG}$

$V_{GS} = 5 - 4\ I_{DS}$

$I_{DS} = 0.5 (5 - 4\ I_{DS} - 1)^2$

$16 I_{DS}^2 - 25\ I_{DS} + 8 = 0$

$I_{DS} = 9.89$

$I_{DS} = 0.5$

$\Rightarrow V_S = 4\ k\Omega \times I_{DS}$

$V_D = 10V - 4K\Omega \times I_{DS}$

$V_S = 0.39$

درین حالت نظر نمی‌دهیم. $\leftarrow V_S = 4 \times 0.5 = 2\ V \leftarrow V_{GS} = 5 - 2 = 3 \leftarrow V_D = 10 - 4I_D = 10 - 2 = 8\ V$

فرض درست بود. $\Rightarrow V_{DS} > V_{GS} - V_t \Rightarrow F > 2 - 1$

خانواده مدارهای دیجیتال:

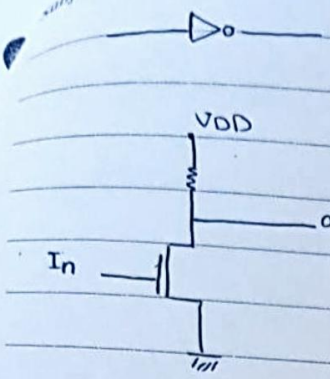
۱- خانواده MOSFET: NMOS ، CMOS ... سرعت کمتر، توان مصرفی کمتر

۲- خانواده BJT: TTL ، ECL سرعت بیشتر، توان مصرفی بیشتر

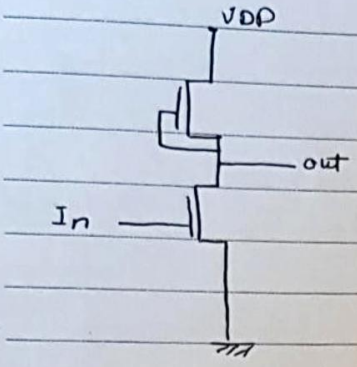
۳- خانواده BiCMOS: CMOS + BJT ترکیب این دو

۴- خانواده FinFet: زیرمجموعه MOSFET عدتقریباً *

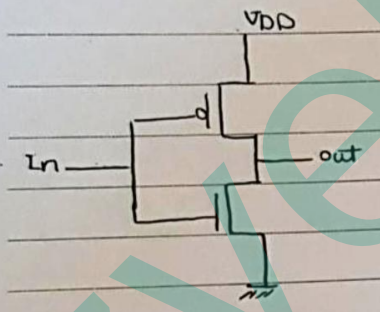
https://t.me/miirza_beneviis



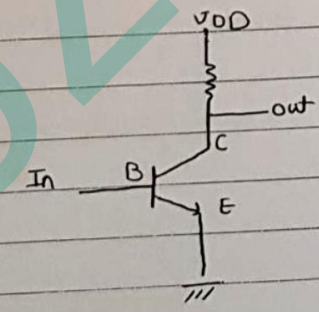
معکوس کننده NMOS با بار مقاومتی



معکوس کننده NMOS با بار تقریبی



معکوس کننده CMOS



معکوس کننده با BJT

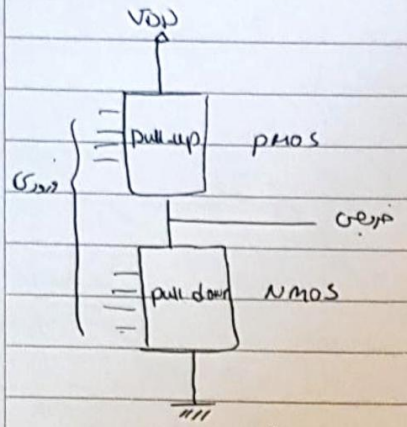
Bipolar junction transistor

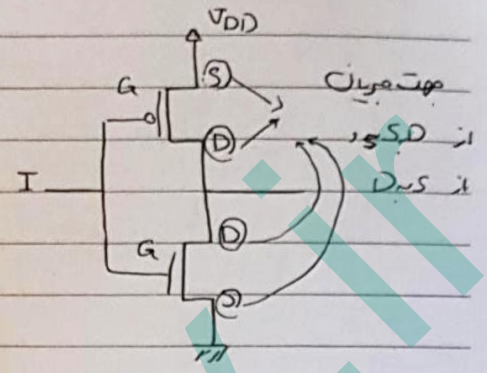
jozvencity.ir

https://t.me/miirza_beneviis

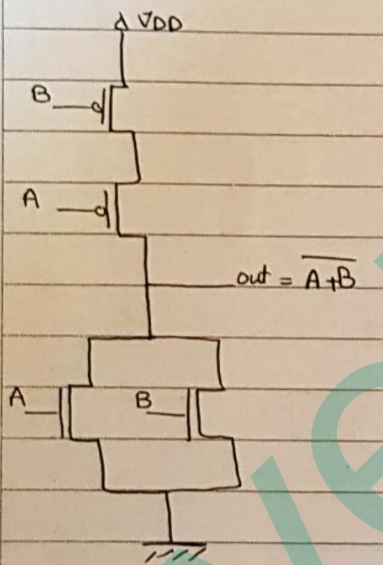
تفاوت‌ها: تعداد ورودی، خروجی، تأخیر انتشار، حاشیه نویز

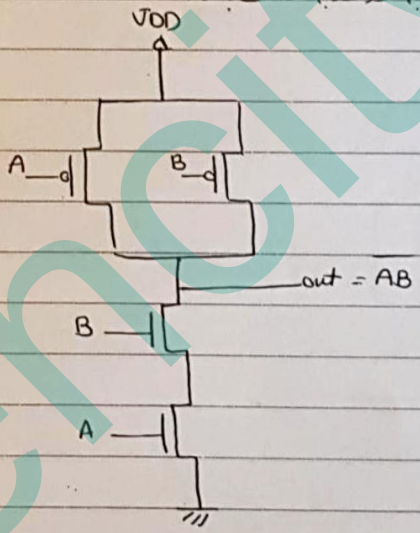
noise margin



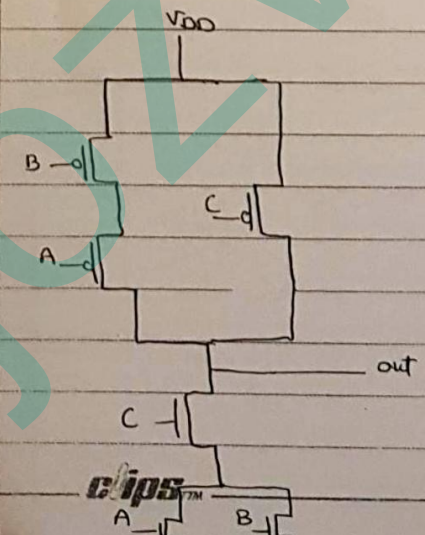


لازمه dual هر ترتیب دلخواه باشه





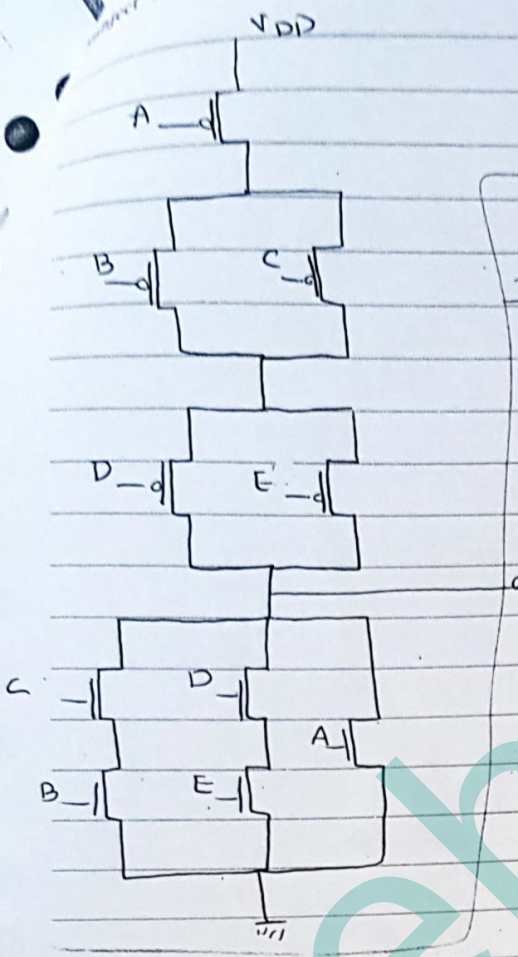
مثال: $\overline{(A+B).C}$



https://t.me/miirza_beneviis

Date

$\overline{A + BC + DE}$



در مدار خانواده منطقی معکوس شده به دست آمده است

که به کمک ساختار دوگانی شبکه آن به توان

به تنایی در ساده سازی خانواده های مدار منطقی پی برد

نشانه مدارات منطقی:

۱- Noise Margine — حاشیه

۲- fan in / out — تعداد ورودی و خروجی

۳- propagation delay

jozveh city.ir

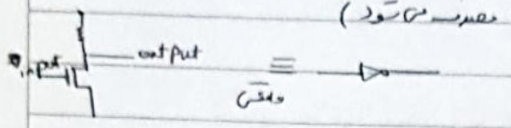
https://t.me/miirza_beneviis

معکوس کننده دقیق از چند جهت مشابه معکوس کننده ایده آل (ideal) تفاوت دارد

۱- کلید ایده آل بیست یعنی وقتی بسته باشد مقاومتی دارد پس ولتاژ خروجی در حالت وصل کلید صفر نیست

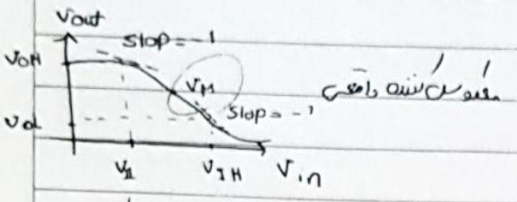
۲- معکوس کننده بلافاصله تغییر حالت نمی دهد بلکه کمی تأخیر بین اعمال ورودی و خاموش/روشن شدن خروجی وجود دارد

۳- معکوس کننده مقداری جریان از منبع مصرف می کند (مقداری توان مصرف می شود)

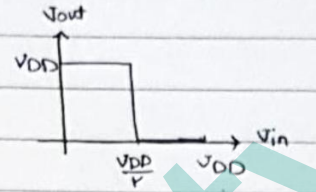


ایده آل — واقعی

مشخصه انتقالی معکوس VTC



معکوس کننده واقعی



معکوس کننده ایده آل

V_{IL} : حداکثر ولتاژ ورودی است که به ازای آن ولتاژ خروجی صفر منطقی در نظر می گیریم.

V_{IH} : حداقل ولتاژ ورودی است که به ازای آن ولتاژ خروجی یک منطقی در نظر می گیریم.

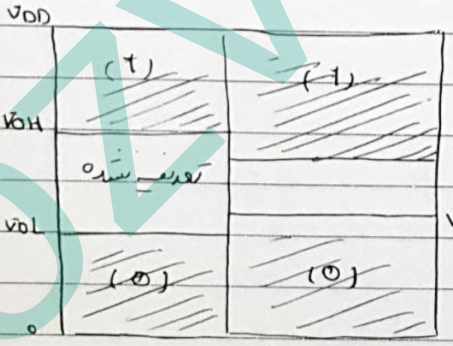
V_{OH} : ولتاژ خروجی در حالتی که ورودی آن صفر منطقی است. مقدار آن یک منطقی است

$V_{OH\,max}$ / $V_{OH\,min}$

V_{OL} : ولتاژ خروجی در حالتی که مقدار آن صفر منطقی است.

$V_{OL\,max}$ / $V_{OL\,min}$

V_m : $V_m = V_{in} = V_{out}$



حاشیه نویز بالا $NM_H = V_{OH} - V_{IH}$

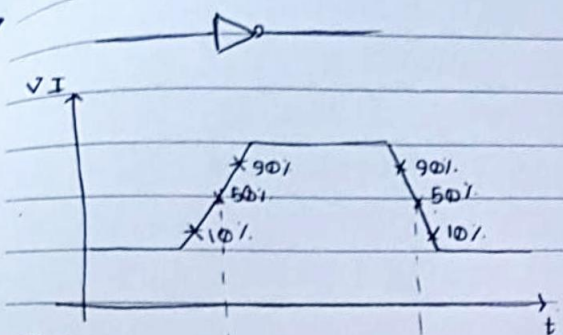
حاشیه نویز پایین $NM_L = V_{IL} - V_{OL}$

حاشیه نویز: برای اینکه گیت robust و غیر حساس به نویز باشد فاصله بین ۱ منطقی و ۰ منطقی تا حد امکان باید زیاد باشد به عبارتی هر چقدر حساسیت گیت های نویز توسعه حاشیه نویز بالا می شود.

https://t.me/miirza_beneviis

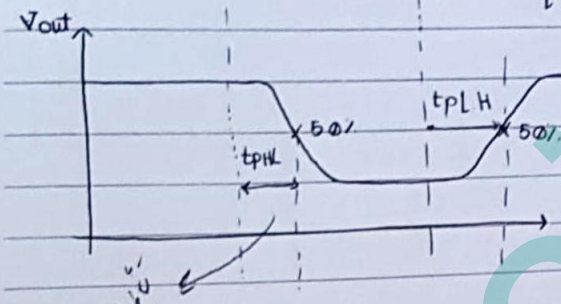
Date

۱ propagation delay و تأخیر انتشار



$t_{rise} : t_{90\%} - t_{10\%}$

$t_{Fall} : t_{10\%} - t_{90\%}$



$t_p = \frac{1}{2}(t_{pHL} + t_{pLH})$

تعداد گیت‌هایی که خروجی گیت به آن‌ها وصل است: Fan_out

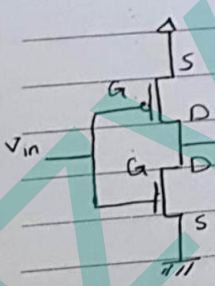
تعداد ورودی‌های گیت: Fan_in

$N_{Fan\_out} = \min(N_H, N_L)$

$N_H = \frac{I_{out(high)}}{I_{in(high)}}$

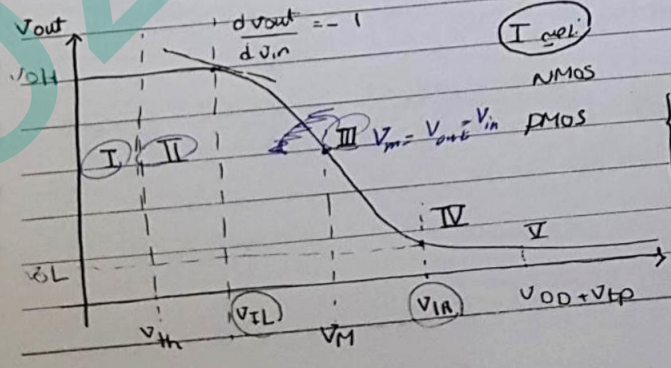
$N_L = \frac{I_{out(low)}}{I_{in(Low)}}$

VTC رسم (NOT گیت)



$\begin{cases} V_{GSP} = V_{in} - V_{DD} \\ V_{DSP} = V_{out} - V_{DD} \end{cases}$

$\begin{cases} V_{GS_n} = V_{in} \\ V_{DS_n} = V_{out} \end{cases}$



$\frac{dV_{out}}{dV_{in}} = -1$

I cut: NMOS $V_{in} < V_{th}$

$V_{GSn} < V_{th}$ ⇒ cutoff

$V_{GSP} < V_{tp}$ کانال برقرار است

$V_{GSP} = V_{in} - V_{DD} < V_{tp}$

$V_{DSP} > V_{GSP} - V_{tp}$

$V_{out} - V_{DD} > V_{in} - V_{DD} - V_{tp}$

(۱۴)

(۱۵)

https://t.me/miirza_beneviis

Subject ..... Date .....

ناحیه		(NMOS) MN	(PMOS) MP
I	$V_{in} < V_{th}$	cut-off	linear
II	$V_{th} < V_{in} < V_{IL}$	Sat	linear
III	$V_{in} = V_{out} = V_M$	Sat	Sat
IV	$V_{in} < V_{DD} + V_{tp}$	linear	sat
V	$V_{in} > V_{DD} + V_{tp}$	linear	cut_off

ناحیه II

$V_t < V_{in} < V_{IL}$

PMOS → linear

NMOS → Sat

$V_{in} = V_{GSn} > V_t$

$V_{DSn} = V_{out} > V_{GSn} - V_t$

} ⇒ Sat

در این حالت به دلیل بزرگ بودن ولتاژ خروجی ترانزیستور NMOS اوشن شده، سریع وارد ناحیه اشباع می‌شود

ناحیه III

$V_{in} = V_{out} = V_M$

PMOS → Sat

NMOS → Sat

$V_{GSn} > V_t$

$V_{DSn} > V_{GSn} - V_t$

$V_{out} > V_{in} - V_t$

} ⇒ Sat

$V_{DSP} < V_{GSP} - V_{tp}$

$V_{out} - V_{DD} < V_{in} - V_{DD} - V_{tp}$

$V_M = ?$ $\quad I_{DSn} = I_{DSP}$

$$\frac{1}{2} K_n (V_{in} - V_{th})^2 = \frac{1}{2} K_P (V_{in} - V_{DD} - V_{tp})^2$$

$$V_{in} = V_M = \frac{V_{DD} + V_{tp} + V_{th}\sqrt{\frac{K_n}{K_P}}}{1 + \sqrt{\frac{K_n}{K_P}}}$$

* if $K_n = K_P$ $\quad V_{th} = |V_{tp}| \rightarrow V_M = \frac{V_{DD}}{2}$

$\mu_n C_{ox} \left(\frac{W}{L}\right)_n = \mu_P C_{ox} \left(\frac{W}{L}\right)_P$

$$\frac{\mu_n}{\mu_P} \cdot \frac{\left(\frac{W}{L}\right)_P}{\left(\frac{W}{L}\right)_n} = \frac{W_P}{W_n}$$

https://t.me/miirza_beneviis

Date

subject

IV حالت

$V_{in} < V_{DD} + V_{th}$

NMOS $\begin{cases} V_{GSn} = V_{in} > V_{th} \\ V_{DSn} = V_{out} < V_{in} - V_{th} \end{cases}$ حتما اشباع / غیر اشباع

PMOS $\longrightarrow$ sat

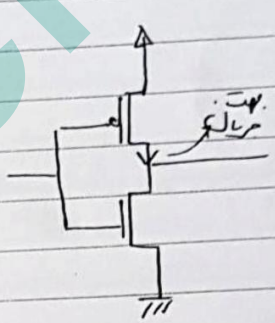
V حالت

Cut_off PMOS $\begin{cases} V_{GSP} > V_{tp} \\ I_{ds} = 0 \end{cases}$

$V_{GSP} = V_{in} - V_{DD}$ $\Rightarrow V_{GSP} > V_{tp}$

$V_{in} > V_{DD} + V_{th}$

V_{OH} $\begin{cases} PMOS: linear \\ NMOS: cutoff \end{cases}$



$I_{dsn} = I_{dsp} = 0$

$0 = k_p \left[(V_{GSP} - V_{tp}) V_{DSP} - \frac{1}{2} V_{DSP}^2 \right]$

$V_{DSP} = 0 \Rightarrow V_{DSP} = V_{out} - V_{DD} = 0$

$V_{out} = V_{DD}$

V_{IL} $I_{dsn} = I_{dsp}$ شرط $\frac{dV_{out}}{dV_{in}} = -1$

$\frac{1}{2} k_n (V_{GSn} - V_{th})^2 = \frac{1}{2} k_p \left[2 (V_{GSP} - V_{tp}) V_{DSP} - V_{DSP}^2 \right]$

$k_n (V_{in} - V_{th})^2 = k_p \left[2 (V_{in} - V_{DD} - V_{tp})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2 \right]$

مشتق نسبت به V_{in} $k_n (V_{in} - V_{th}) = k_p \left[(V_{in} - V_{DD} - V_{tp}) \frac{dV_{out}}{dV_{in}} + (V_{out} - V_{DD}) - (V_{out} - V_{DD}) \frac{dV_{out}}{dV_{in}} \right]$

https://t.me/miirza_beneviis

Subject ..... Date .....

$$\left.\begin{array}{l}\frac{dV_{out}}{dV_{in}} = -1 \\ V_{in} = V_{IL}\end{array}\right\} \Rightarrow V_{IL} = \frac{2V_{out} + V_{tp} - V_{DD} + \frac{k_n}{k_p} V_{th}}{1 + \frac{k_n}{k_p}}$$

$$\left.\begin{array}{l}V_{th} = |V_{tp}| \\ k_n = k_p\end{array}\right\} \Rightarrow V_{IL} = \frac{1}{8}(3V_{DD} + 2V_{th})$$

V_{OL} ...

$V \rightarrow$ { PMOS : ...
NMOS : ...

$I_{dsn} = I_{dsp}$

$$k_n\left[(V_{GSn} - V_{In})V_{DSn} - \frac{1}{2}V_{DSn}^2\right] = 0 \Rightarrow V_{DSn} = 0 = V_{out}$$

$V_{IH} = 1 \Rightarrow$ { PMOS: Sat
NMOS: linear

$I_{dsn} = I_{dsp} \Rightarrow \frac{1}{2}k_n\left[2(V_{GSn} - V_{In})V_{DSn} - V_{DSn}^2\right] = \frac{1}{2}k_p(V_{DD} - V_{tp})^2$

$k_p(V_{in} - V$

Jozveh city.ir
https://t.me/miirza_beneviis

Date

V_{IH} — PMOS: Sat — NMOS: linear

$I_{Dsn} = I_{dsp}$

$$\frac{1}{2}k_n\left[2(V_{GSn}-V_{th})V_{DSn}-V_{DSn}^2\right]=\frac{1}{2}k_p(V_{GSp}-V_{tp})^2$$

$$\begin{cases} V_{GSn}=V_{in} \\ V_{DSn}=V_{out} \end{cases}$$

$$\frac{k_n}{2}\left[2(V_{in}-V_{th})V_{out}-V_{out}^2\right]=\frac{1}{2}k_p(V_{in}-V_{DD}-V_{tp})^2$$

$$\frac{dV_{out}}{dV_{in}}=-1$$

$$k_n\left[(V_{in}-V_{th})\left(\frac{dV_{out}}{dV_{in}}\right)+V_{out}-V_{out}\left(\frac{dV_{out}}{dV_{in}}\right)\right]=k_p\left[V_{in}-V_{DD}-V_{tp}\right]$$

$$V_{IH}=\frac{V_{DD}+V_{tp}+\frac{k_n}{k_p}(2V_{out}+V_{th})}{1+\frac{k_n}{k_p}}$$

$$\begin{cases} k_n=k_p \\ V_{th}=|V_{tp}| \end{cases} \Rightarrow \begin{cases} V_{IH}=\frac{1}{8}(5V_{DD}-2V_{th}) \\ V_{IL}+V_{IH}=V_{DD} \\ N_{ML}=V_{IL}-V_{OL}=V_{IL} \\ N_{MH}=V_{OH}-V_{IH}=V_{DD}-V_{IH}=V_{IL} \\ \Rightarrow N_{ML}=N_{MH}=V_{IL} \end{cases}$$

$$V_{IL}=\frac{1}{8}(3V_{DD}+2V_{th})$$

$$V_{IH}=\frac{1}{8}(5V_{DD}-2V_{th})$$

V_{OL} — PMOS: cut off — NMOS: linear

$I_{dsn}=I_{dsp}$

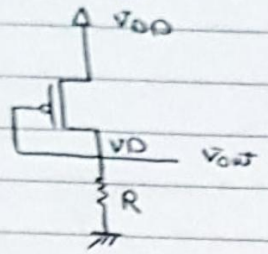
$$\frac{k_n}{2}\left[2(V_{GSn}-V_{th})V_{DSn}-V_{DSn}^2\right]=0$$

$\Rightarrow V_{DSn}=0$

$V_{DSn}=V_{out}=V_{OL}=0$

https://t.me/miirza_beneviis

مثال: مقدار مقاومت مقاومت R و W/L ترانزیستور را طوری انتخاب کنید که $V_D = 2V$ و $I_{DS} = 0.1 mA$ شود.



$V_{tp} = -2V$

$k_p = 8 \mu A/V^2$

$L = 10 \mu m$

حل: اول باید وضعیت ترانزیستور را مشخص کنیم.

$V_{GSP} = V_G - V_{DD} = 2.5 - 5 V = -3 < -2$ ⇒ ترانزیستور روشن شده

$V_{DSP} = V_D - V_{DD} = -2 < V_{GSP} - V_{tp} \Rightarrow -3 < -3 - (-2)$ ⇒ ترانزیستور در ناحیه اشباع

$$I_{DS} = \frac{1}{2} k_p \frac{W}{L} (V_{GS} - V_t)^2$$

$$= \frac{1}{2} \times 8 \mu A/V^2 \times \left(\frac{W}{0.1 \mu m}\right) \left(-3 - (-2)\right)^2 = 0.1 mA \Rightarrow W = 0.125 \mu m$$

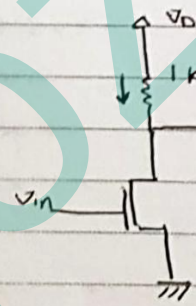
$$I_R = \frac{V_D}{R} \Rightarrow R = \frac{V_D}{I} = \frac{2 V}{0.1 mA} = 20 K\Omega$$

مثال: یک عنصر کشیده با بار مقاومتی در نظر گرفته شده است. $R = 1 K\Omega$ و $V_{OL} = 0.4V$ است. $\frac{W}{L}$ را بدست آورید.

$V_{DD} = 5V$

$V_{tn} = 1.0 V$

$k_n = 22 \mu A/V^2$



$V_{DS} = 5 - 0.4 = 4.6 V > V_{GS} - V_t = 4 - 1 = 3 V$

حل: $V_{DSn} = V_{OL} = 0.4 V < V_{GSn} - V_t V$ ⇒ حالت خطی

$$I_{dsn} = \frac{1}{2} k_n' \frac{W}{L} \left[2(V_{GSn} - V_{tn}) V_{DSn} - V_{DSn}^2\right]$$

$$= \frac{V_{DD} - V_{OL}}{R} = \frac{1}{2} \times 22 \times \frac{W}{L} \left(2(5 - 1.0) 0.4 - 0.4^2\right)$$

$V_{DD} = 5$

$V_{OL} = 0.4$

$V_{DSn} = 0.4$

$\Rightarrow \frac{W}{L} = 90.1$

https://t.me/miirza_beneviis

Subject ..... Date .....

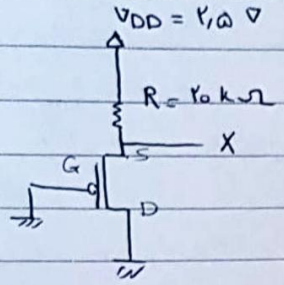
مثال: مدار زیر را تحلیل کنید. فرض کنید $\left(\frac{W}{L}\right)_p = 1$ ، $k_p = 30 \times 10^{-6}\ mA/V^2$ ، $V_X > |V_{tp}|$

$V_{tp} = -0.4\ V$

الف) ولتاژ نقطه X را بدست آورید.

ب) اگر $V_X = 1.5\ V$ باشد عرض ترانزیستور را بدست آورید. $L = 0.25\ \mu m$ فرض کنید

حل:



$V_{GSP} < V_{tp}$

$V_{DSP} < V_{GSP} - V_{tp}$ ← اشباع

$V_X > |V_{tp}|$

$V_X = V_{SP}$

$V_B = 0$

$V_{GP} = 0$ ← $V_{GSP} = 0 - V_X = -V_X < V_{tp}$ اشباع

$V_{DSP} = 0 - V_X < 0 - V_X - V_{tp}$

$I_R = I_{SDP}$

$\frac{V_{DD} - V_X}{R} = \frac{k'_P}{2}\left(\frac{W}{L}\right)(V_{GSP} - V_{tp})^2$ ← ادامه

ب) $V_X = 1.5 \rightarrow \frac{2.5 - 1.5}{20\ k\Omega} = \frac{30 \times 10^{-6}\ mA/V^2}{2}\left(\frac{W}{0.25\ \mu m}\right)(-1.5 + 0.4)^2$

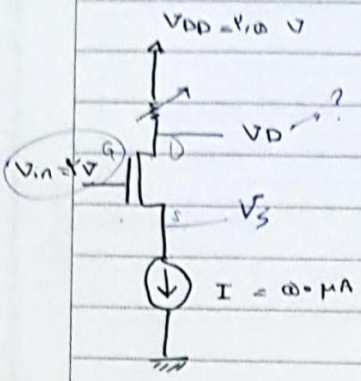
$W = 0.49\ \mu m$

(۱۸)

jozveh city.ir
https://t.me/miirza_beneviis

(ادامه مثال صفحه قبل)

مثال: برای بایاس ترانزیستور NMOS پیرنده‌ی روبه‌رو نقاط گرفته شده است.



$\frac{W}{L} = \frac{۲٫۵\ \mu m}{۰٫۲۵\ \mu m}$ $\quad k_n = ۱۱۰ \times ۱۰^{-۶}\ A/V^۲$ $\quad V_{tn} = ۰٫۴\ V$

مقدار R بین ۱۵kΩ تا ۳۵kΩ متغیر است برای هر حالت به تقاضای V_D, V_S را به دست آورید و بیان نمایید که ترانزیستور در چه ناحیه‌ای کار می‌کند.

الف) $R = ۱۵\ k\Omega$ ب) $R = ۳۵\ k\Omega$

حل:

الف) $V_D = ?$ $\quad V_D = V_{DD} - RI = ۲٫۵ - ۱۵\ k\Omega \times ۵۰\ \mu A = ۲٫۵ - ۰٫۵ = ۲\ V$

$V_{DSn} > V_{GSn} - V_{tn}$

$V_D - V_S > V_G - V_S - V_{tn}$

$۲\ V > ۲\ V - ۰٫۴\ V \Rightarrow$ اشباع

$I_D = \frac{۱}{۲} k_n (V_{GSn} - V_{tn})^۲ = ۵۰\ \mu A$

$= \frac{۱}{۲} \times ۱۱۰ \times ۱۰^{-۶}\ \mu A/V^۲ (۲ - V_S - ۰٫۴)^۲ = ۵۰\ \mu A$

$\Rightarrow V_S = ۱٫۳\ V$

ب) مثل بالا $\quad V_D = V_{DD} - RI = ۲٫۵ - ۳۵\ k\Omega \times ۵۰ \times ۱۰^{-۶} = ۱\ V$

$V_{DS} < V_{GS} - V_{th}$

$V_D - V_S < V_G - V_S - V_t$

$۱ < ۲ - ۰٫۴ \Rightarrow$ خطی

$I_{dsn} = k_n \left((V_{GSn} - V_t) V_{DSn} - \frac{۱}{۲} V_{DSn}^۲ \right) = ۵۰\ \mu A$

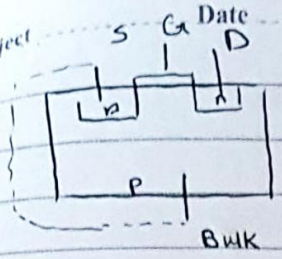
$\Rightarrow V_S = ۰٫۹۳$

https://t.me/miirza_beneviis
Jozvehcity.ir

مثال بعد: معکوس کننده CMOS

Subject
Date

اثر بدنه (Body effect)

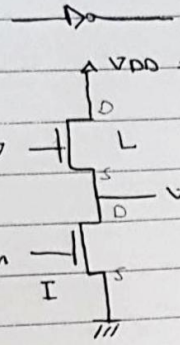


در بسیاری از کاربردها پایه زیر لایه (BULK) به پایه S ترانزیستور (در NMOS به زمین و در PMOS به V_{DD}) وصل می‌شود.

$$V_{Tnew} = V_{Told} + \gamma\left[\sqrt{V_{SB} + 2|\phi_{p1}|} - \sqrt{2|\phi_f|}\right]$$

γ: ضریب اثر بدنه — $|\phi_{p1}|$: پتانسیل الکترواستاتیکی

مثال: برای مدار زیر با در نظرگرفتن اثر بدنه مقدار V_{OH} را به دست آورید.



$|\phi_f| = 0.3$ $\quad \gamma = 0.4\ V^{\frac{1}{2}}$ $\quad V_{th} = 1\ V$

$k'_n = 20\ \mu A/V^2$ $\quad V_{Bulk} = 0$

$W = \frac{50\ \mu m}{10\ \mu m}$

حل:

$V_{in} = 0 \rightarrow V_{out} = V_{OH}$

NMOS L: $V_{GS} = 3 - V_{out} = 3 - V_{OH}$, $V_{DS} = V_{DD} - V_{OH} = 5 - V_{OH}$ $\rightarrow V_{DS} > V_{GS} - V_{tn}$ اشباع

NMOS I: $V_{GS} = 0 < V_{tn}$ قطع

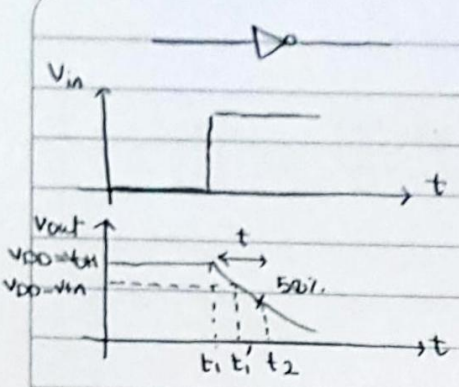
$I_{dsnL} = I_{dsnI}$

$$0 = \frac{1}{2} k'_n \left(\frac{W}{L}\right)\left(V_{GS} - V_{tn}\right)^2\Big|_{V_{SB}\neq 0} = 0$$

$\Rightarrow V_{GSL} = V_{tn}$

$$3 - V_{OH} = 1 + 0.4\left[\sqrt{0.4 + V_{OH}} - \sqrt{0.4}\right]$$

https://t.me/miirza_beneviis



$t = t_1 + t_2$

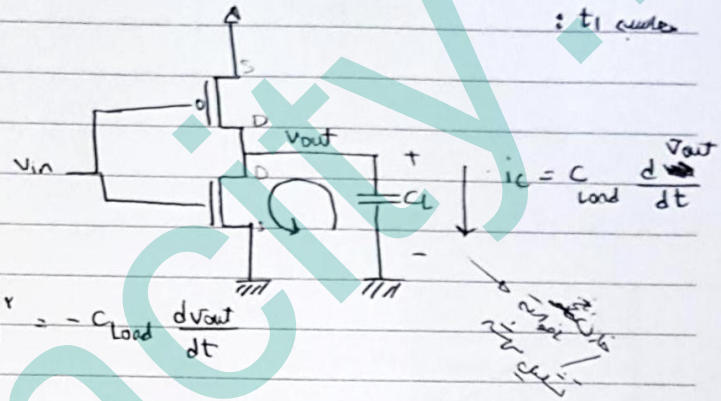
nmos → sat

$V_{out} = V_{DSn} > V_{GSn} - V_{tn}$

$V_{GSn} = V_{DD}$

$V_{DSn} = V_{out}$

: t_1 محدوده



$$i_{Dsn} = \frac{1}{2} k_n (V_{DD} - V_{tn})^2 = -C_{Load} \frac{dv_{out}}{dt}$$

$$\int_{t_1}^{t_1'} dt = -\int_{V_{DD}}^{V_{DD}-V_{tn}} C_{Load} \times \frac{1}{i_{Dsn}} \times dv_{out}$$

$$\boxed{t_1' - t_1 = \frac{2 C_{Load} V_{tn}}{k_n (V_{DD} - V_{tn})^2}}$$

$t_1' < t < t_2$

$V_{GSn} = V_{DD}$

$V_{DSn} < V_{GSn} - V_{tn}$ → triode

$$\int_{t_1'}^{t_2} dt = -\int_{V_{DD}-V_{tn}}^{V_{50\%}} C_{Load} \times \frac{1}{i_{Dsn}} \times dv_{out}$$

$$i_{Dsn} = k_n \left[(V_{GSn} - V_{tn}) V_{DSn} - \frac{1}{2} V_{DSn}^2 \right]$$

$$t_1 - t_1' = \frac{C_{Load}}{k_n (V_{DD} - V_{tn})} \ln \left[\frac{2(V_{DD} - V_{tn}) - V_{50\%}}{V_{50\%}} \right]$$

clips

https://t.me/miirza_beneviis

Jozveh city.ir

Date

معمولا $k_n > k_p$

$$t = t_1' - t_1 + t_2 - t_1'$$

$$= \frac{C_{Load}}{k_n (V_{DD} - V_{tn})} \left[\frac{2V_{tn}}{V_{DD} - V_{tn}} + \ln \left[\frac{4(V_{DD} - V_{tn})}{V_{DD} + V_{OL}} - 1 \right] \right]$$

چون $k_n > k_p$ پس $t_{PHL} > t_{PLH}$

$$t_{PHL} = 1.4 \times \frac{C_{Load}}{k_n V_{DD}}$$

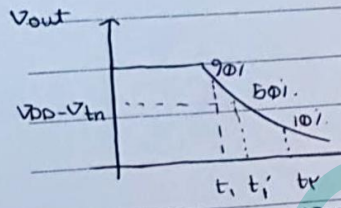
$$t_{PLH} = 1.4 \times \frac{C_{load}}{k_p V_{DD}}$$

$V_{OL} = 0$

$V_{OH} = V_{DD}$

$V_{50\%} = \frac{V_{OH} + V_{OL}}{2}$

محاسبه تقریبی زمان‌های t_{Rise} ، t_{Fall} : نسبت قبلی فقط حدود تلرانس آن فرق می‌کند از 10٪ تا 90٪



$$\int_{t_1}^{t_1'} dt = \ominus \int_{V_{90\%}}^{V_{DD}-V_{tn}} C_{Load} \times \frac{1}{I_{DSn}} \times dV_{out}$$

جهت جریان عوض می‌شود

$$t_1' - t_1 = \frac{2 C_{Load} (V_{tn} - 0.1 V_{DD})}{k_n (V_{DD} - V_{tn})^2}$$

$$I_{DSn} = \frac{k_n}{2} (V_{GSn} - V_{tn})^2$$

$t_1' < t < t_2$ nmos → linear

$$\int_{t_1}^{t_2} dt = -\int_{V_{50\%}}^{V_{10\%}} C_{Load} \times \frac{1}{I_{DSn}} \times dV_{out}$$

$$t_2 - t_1' = \frac{C_L}{k_n (V_{DD} - V_{tn})} \ln \left[\frac{1.9 V_{DD} - 2.0 V_{tn}}{V_{DD}} \right]$$

https://t.me/miirza_beneviis

Subject ..... Date .....

$t = t_2' - t_1 + t_4 - t_3$

$$t = \frac{2 C_{load}}{k_n (V_{DD} - V_{tn})} \left[\frac{V_{tn} - 0.1 V_{DD}}{V_{DD} - V_{tn}} + \frac{1}{2} \ln \left[\frac{19 V_{DD} - 20 V_{tn}}{V_{DD}} \right] \right]$$

$$t_{fall} = \frac{C_L}{k_n V_{DD}} [3 \sim 4] \quad \text{عددی بین ۳ و ۴}$$

$V_{DD} = 3^V \sim 5^V$

$V_{tn} = 0.5^V \sim 1^V$

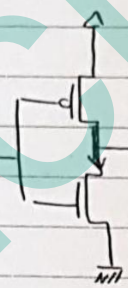
$$t_{rise} = \frac{C_{Load}}{k_p V_{DD}} [3 \sim 4]$$

محاسبه توان مصرفی در مدوس لبده cmos

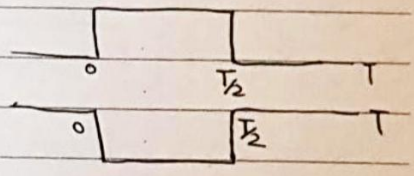
$P = P_{static} + P_{dynamic}$

$$P_{static} = \frac{I_{(OH)} + I_{(OL)}}{2} \cdot V_{DD} = 0$$

چون همیشه یه طرف مقاومت است

V_{in} — V_{out}

ورودی ثابت

$$P_{avg} = \frac{1}{T} \int_0^T V(t) i(t) \, dt$$



$$P_{avg} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} V_{out} \times (-C_{load} \times \frac{dV_{out}}{dt}) dt + \int_{\frac{T}{2}}^{T} (V_{DD} - V_{out}) (C_L \frac{dV_{out}}{dt}) dt \right]$$

$$P_{avg} = \frac{1}{T} C_{Load} V_{DD}^2$$

به طول مدت مانند بستن بسته میشود

$$= f C_{Load} V_{DD}^2$$

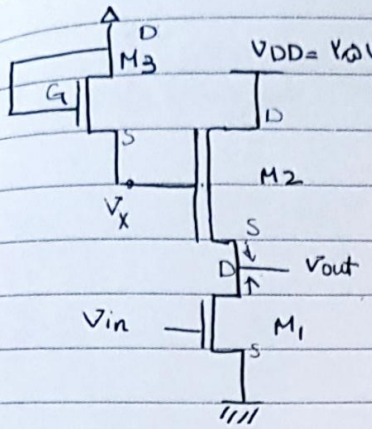
https://t.me/miirza_beneviis

Jozveh city.ir

Subject ..... Date .....

مثال: در مدار زیر V_X را بدست آورید. با فرض $\gamma = 0.4$

$V_{DD} = 2.5\ V$



الف) با فرض $\gamma = 0$ مقدار V_{out} را بدست آورید.

ب) مقدار V_M را با فرض $\gamma = 0$ بدست آورید.

و وضعیت $\left(\frac{W}{L}\right)_{M2} \ll \left(\frac{W}{L}\right)_{M1}, \left(\frac{W}{L}\right)_{M2} \gg \left(\frac{W}{L}\right)_{M1}$ را در نظر بگیرید.

$V_{BULK} = 0$

$V_{tn} = 0.43\ V$

$\Phi_F = 0.3\ V$

$V_{DS_{M3}} \neq 0$

حل: $I_{DSM3} = \frac{k_n}{2}(V_{GSM3} - V_{tn})^2 = 0$

اثبات

$V_{GSM3} = V_{DSM3}$

$I_{DSM3} = 0$

$V_{DSM3} > V_{GSM3} - V_{tn}$

$V_{GSM3} = V_{tn} \Rightarrow V_{DD} - V_X = V_{tn}$

$V_X = V_{DD} - V_{tn}$

$V_{tn} = V_{to} + \gamma\left[\sqrt{V_{SB} + 2|\Phi_f|} - \sqrt{2|\Phi_f|}\right]$

$\Rightarrow V_X = 2.5 - [0.43 + 0.5(\sqrt{V_X + 0.6} - \sqrt{0.6})] = 1.7014\ V$

ب) فرض منطقی $V_{in} = high$

$M_1 \rightarrow$ linear: $V_{DSM1} < V_{GSM} - V_{tn}$

$M_2 \rightarrow$ Sat: $\begin{cases} V_{DSM2} = V_{DD} - V_{out} \\ V_{GSM2} = V_X - V_{out} \end{cases} \Rightarrow V_{DSM2} > V_{GSM2} - V_{tn}$

$V_X = V_{DD} - V_{tn} \Rightarrow V_X = 2.5 - 0.43$

$\gamma = 0$

jozveh city.ir
https://t.me/miirza_beneviis

$$\underbrace{\frac{k_n}{2}\left[(V_x - V_{out} - V_{tn})^2\right]}_{M_1} = \underbrace{\frac{k_n}{2}\left[2(V_{DD} - V_{tn})V_{out} - V_{out}^2\right]}_{M_2}$$

$$2V_{out}^2 - 2.42\,V_{out} + 2.68 = 0 \Rightarrow \boxed{V_{out} = 0.4\ V}$$

$V_M = V_{in} = V_{out}$ ⇒ ترانزیستورها در حالت اشباع

$$k_n'\left(\frac{W}{L}\right)_{M_1}(V_M - V_{tn})^2 = k_n'\left(\frac{W}{L}\right)_{M_2}(V_x - V_M - V_{tn})^2$$

$r = \frac{(W/L)_{M_2}}{(W/L)_{M_1}}$ فرض ⇒ $V_M - V_{tn} = \sqrt{r}\,(V_x - V_M - V_{tn})$

$$V_M = \frac{V_x\sqrt{r} + V_{tn}(1-\sqrt{r})}{1+\sqrt{r}}$$

$r \gg 1 \Rightarrow V_M = V_x - V_{tn} = V_{DD} - 2V_{tn}$

$r \ll 1 \Rightarrow V_M = V_{tn}$

$V_{DD} = 3V$ $V_{tn} = 0.6V$ $V_{tp} = -0.7V$ $k_n = 20\ \mu A/V^2$

$k_p = 10\ \mu A/V^2$

$V_{OL} = ?$ $V_{OH} = ? = V_{IL} = V_{IH}$

$V_{OH} = V_{DD} = 3V$ ⇒ $V_{OL} = 0V$

$$V_{IL} = \frac{2V_{out} + V_{tp} - V_{DD} + \frac{k_n}{k_p}V_{tn}}{1 + \frac{k_n}{k_p}} = \frac{2V_{out} - 2.4 + 1.2}{1+2} = \frac{2V_{out} - 1.2}{3}$$

$\Rightarrow 0.8V_{out} - 0.4 = V_{out}$ ⇒ $V_{out} = 0.2V$

$I_{DSn} = 0 = I_{DSp} = \frac{1}{2}k_n'\left(\frac{W}{L}\right)\left[2(V_{GS} - V_t)V_{DS} - V_{DS}^2\right]$

$\Rightarrow V_S = 0.2V$

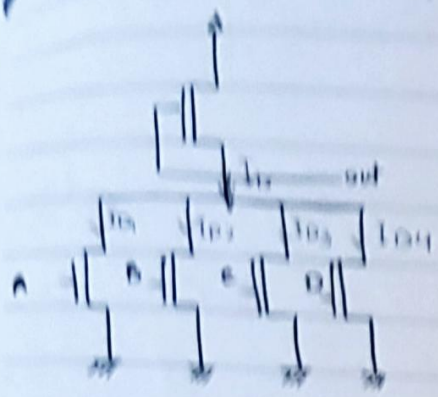
https://t.me/miirza_beneviis

ادامه در ①

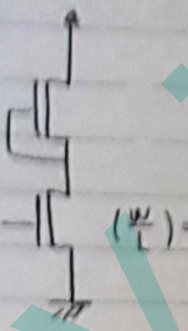
Date

Transistor Sizing

عرض ثبت را طراحی می‌کنیم برای اینکه سرعت دیگر افزایش یابد.

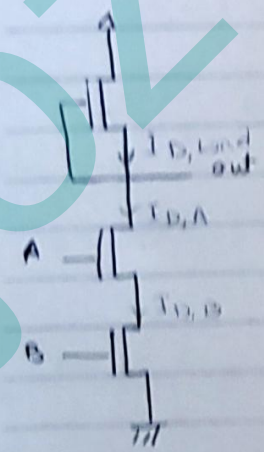


=

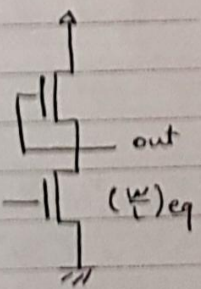


$$I_D = \sum_{i=1}^{n} I_{D,i} = \begin{cases} \sum_{i=1}^{n} k'_n \left(\frac{W}{L}\right)_i \left[(V_{GS} - V_t) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \\ \sum_{i=1}^{n} \frac{1}{2} k'_n \left(\frac{W}{L}\right)_i (V_{GS} - V_t)^2 \end{cases}$$

$$\Rightarrow I_D = \begin{cases} k'_n \left(\sum_i \left(\frac{W}{L}\right)_i \right) \left[(V_{GS} - V_t) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \\ \frac{k'_n}{2} \left(\sum \left(\frac{W}{L}\right)_i \left[(V_{GS} - V_t)^2 \right] \right) \end{cases}$$



=



Jozveneity.ir

https://t.me/miirza_beneviis

V_A	V_B	V_{out}	
L	L	H	V_{OH}
L	H	H	
H	L	H	
H	H	L	$\rightarrow V_{OL}$

$V_A = V_B = H$

$I_{D,Load} = I_{D,A} = I_{D,B}$

$$\frac{K_{load}}{2}(V_{GS,load} - V_t)^2 = k_A\left[(V_{GS,A} - V_t)V_{DS,A} - \frac{1}{2}V_{DS,A}^2\right]$$

$$= k_B\left[(V_{GSB} - V_t)V_{DSB} - \frac{1}{2}V_{DSB}^2\right]$$

$V_{GSA} = V_{GSB} - V_{DSB}$ ← ولتاژ سورس بایاس

$V_{GA} = V_{GB} = H$, $V_{SA} = V_{DB}$

$$V_{GSA} = V_{GA} - V_{SA} = V_{GB} - V_{SA} = V_{GB} - V_{DB} - V_{SB} + V_{SB}$$
$$= V_{GB} - V_{SB} - (V_{DB} - V_{SB}) = V_{GSB} - V_{DSB}$$ ← بیت شبیه

$$I_D = \frac{k}{4}\left[2(V_{GSB} - V_t)\underbrace{(V_{DSA} + V_{DSB})}_{V_{DS}} - \underbrace{(V_{DSA} + V_{DSB})^2}_{V_{DS}}\right]$$

$$I_D = \frac{k}{4}\left[2(V_{GS} - V_t)V_{DS} - V_{DS}^2\right] \Rightarrow K_{eq} = 0.5\,K_A \mp 0.5\,K_B$$

حالت طعمه $\Rightarrow \frac{K}{2}\left[\frac{1}{\frac{1}{2}\left(\frac{W}{L}\right)_2}\right]\left[2(V_{GS} - V_t)V_{DS} - V_{DS}^2\right]$

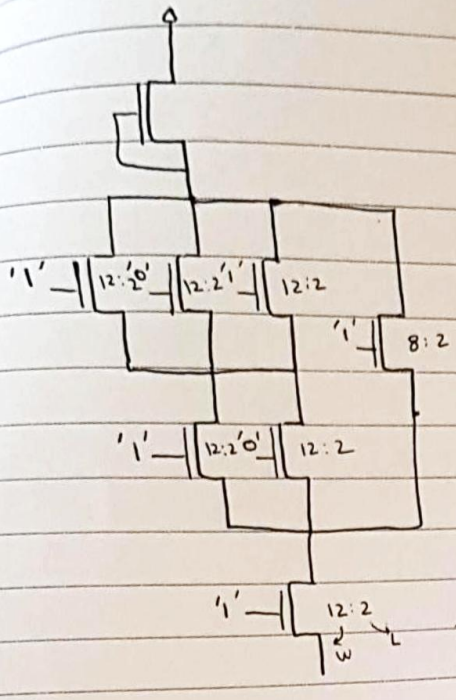
ترانزیستورهای موازی $\left(\frac{W}{L}\right)_{eq} = \sum\left(\frac{W}{L}\right)_i$

ترانزیستورهای سری $\left(\frac{W}{L}\right)_{eq} = \frac{1}{\frac{1}{\left(\frac{W}{L}\right)_1} + \frac{1}{\left(\frac{W}{L}\right)_2} + \cdots + \frac{1}{\left(\frac{W}{L}\right)_n}}$

https://t.me/miirza_beneviis

Date .....

مثال: طرح ترانزیستور معادل شکل down_flip_flop زیر را بدست آورید.



به کول ترانزیستورهایی که ورودی '0' دارند رو اول اره حذف می‌کنیم.

نکته ۱: در بررسی ترانزیستور معادل، تمام ترانزیستورهایی که ورودی آن‌ها '0' است، آن‌ها را قطع هستند و از مدار حذف می‌شوند.

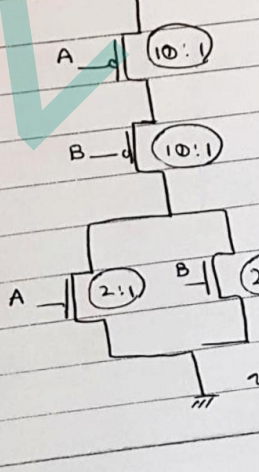
نکته ۲: هر ترانزیستوری که با ترانزیستورهای قطع تا سری است از مدار حذف می‌شود.

نکته ۳: دو ترانزیستور با طول برابر را می‌توان به صورت موازی ترکیب کرد که طول آن‌ها برابر با طول (مستقل از اندازه W و L) باشد.

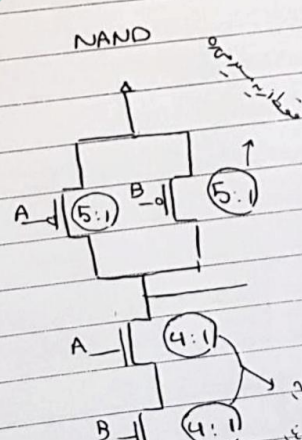
نکته ۴: دو ترانزیستور با طول کانال برابر که به طور مستقیم به یکدیگر متصل شده‌اند، معادل یک ترانزیستور هستند که عرض آن برابر مجموع دو عرض ترانزیستور است. $\left(\frac{W_1+W_2}{L}\right)$

نکته ۵: دو ترانزیستور با عرض یکسان که به صورت سری به هم متصل شده و گیت‌های آن‌ها نیز به یکدیگر متصل باشد (هم وتاز باشند) معادل یک ترانزیستور است که طول آن برابر مجموع طول دو ترانزیستور است. $\left(\frac{W}{L_1+L_2}\right)$

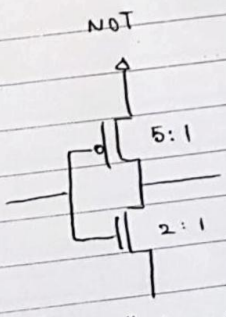
NOR



NAND



NOT



$\frac{\left(\frac{W}{L}\right)_P}{\left(\frac{W}{L}\right)_n} = \frac{2.0}{2.P} = 2.5$

https://t.me/miirza_beneviis

Subject ..... Date .....

در مدارهای CMOS ۲ هدف عمده وجود دارد.

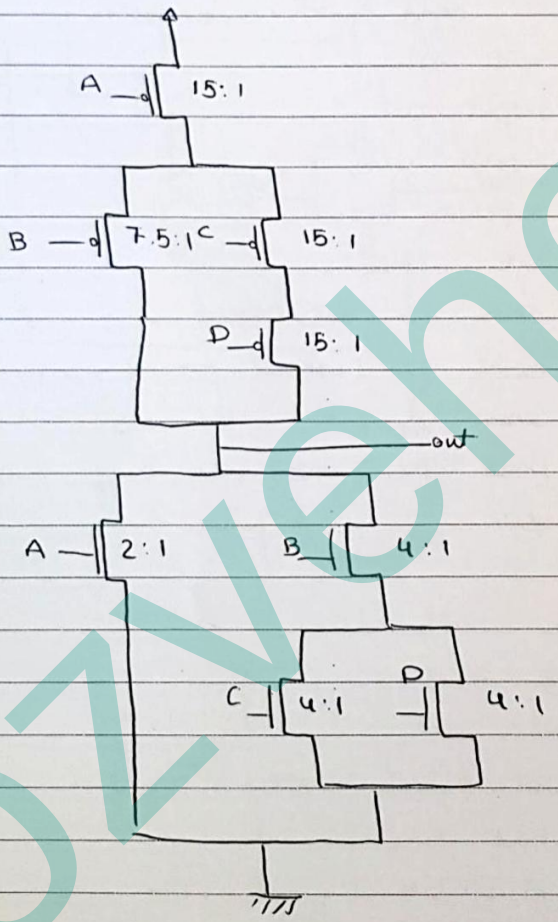
۱- بالابردن سرعت مدار

۲- تقارن منحنی های مشخصه و مستقل الامکان بودن ناحیه های H به L و L به H

تقارن و کارایی مدار به ورودی ها بستگی دارد اما بهترین حالت وقتی است که فقط از ترانزیستور هم جریان بلند و کم تأخیر انتشار را برای این حالت انجام دهیم، برای حالت های دیگر ترانزیستورهای موازی وجود دارد و سرعت قطعاً بهتر خواهد بود

مثال: $F = A + B(C+D)$

$\frac{W}{L}$ ای بهینه به عرض ترانزیستور کم باشد

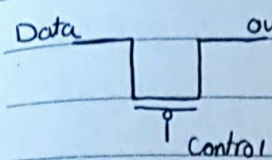


jozvencity.ir

https://t.me/miirza_beneviis

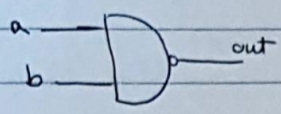
Date ..... جلسه هفتم

nmos n1 (out, Data, Control); Switch model

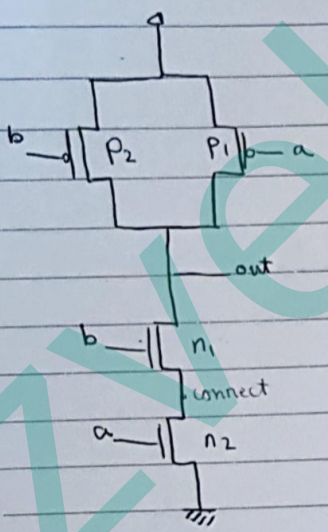


pmos n2 (out, Data, control);

supply0 برای supply1 برای منبع تغذیه




```
module nand_switch (a, b, out);
    input a, b;
    output out;
    supply1 vdd;
    supply0 ground;
    wire connect;
    nmos n1 (out, connect, b);
    nmos n2 (connect, ground, a);
    pmos p1 (out, vdd, a);
    pmos p2 (out, vdd, b);
end module
```

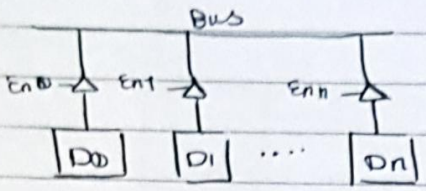



```
module testbench;
    reg A, B;
    wire out;
    nand_switch inst0 (A, B, out);
    initial begin
        A = 1'b0;    B = 1'b0;
        #50
        A = 1'b0;    B = 1'b1;
        #50
        A = 1'b1;    B = 1'b0;
        #50
        A = 1'b1;    B = 1'b1;
```

https://t.me/miirza_beneviis

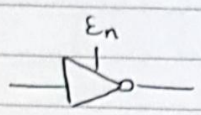
Subject ..... Date .....

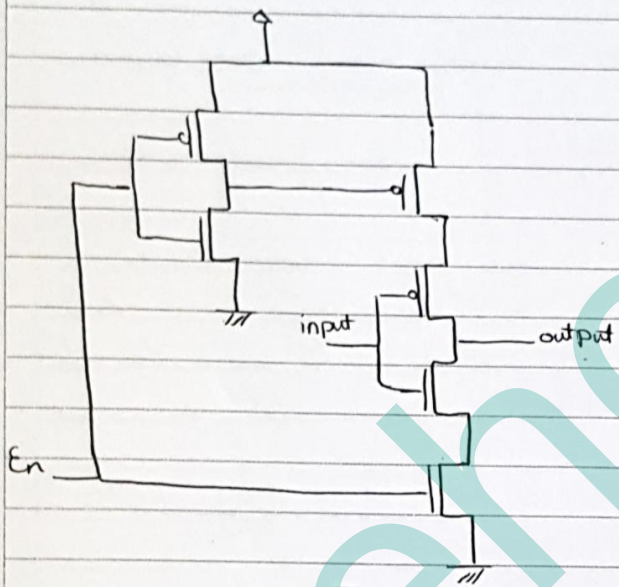
CMOS tri-state مدارهای

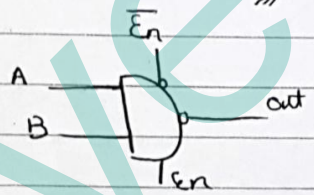


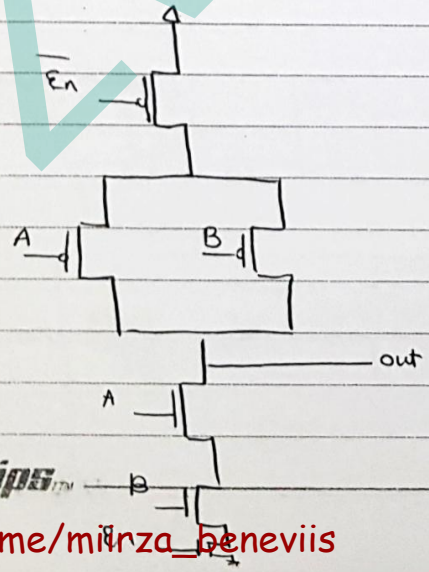
باید دقت کنیم که فقط یکی از En ها فعال باشه تا دیتاها قاطی نشه

CMOS tri-state inverter



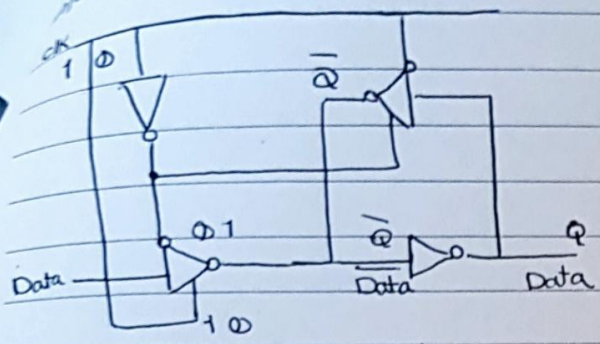


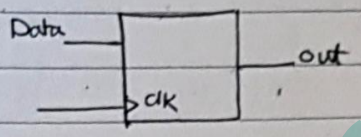


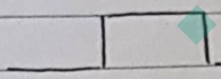


jozvencity.ir
https://t.me/mirza_beneviis

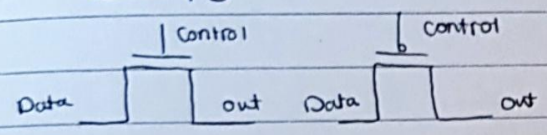
پیاده سازی فلیپ فلاپ D



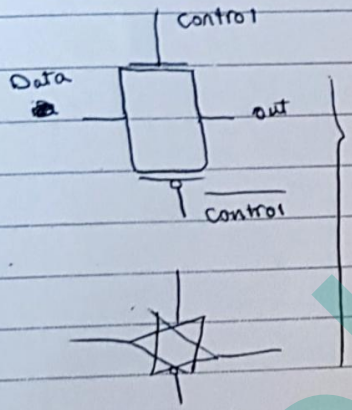




داده جدید داده قبلی



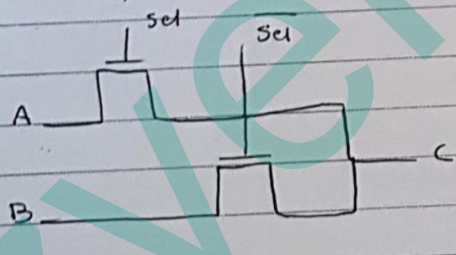
transition Gate ، pass-transistor

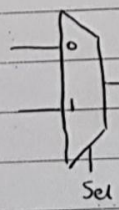


بدنه‌ها را به Source و Drain می‌دهیم تا همیشه مقاومت کم باشد.

از دو ترانزیستور nmos و pmos تشکیل شده است. به سیگنال‌های کنترلی آن‌ها معکوس کدیگر هستند. این گیت به خوبی عبور هر دو سطح منطقی را به خوبی عبور می‌دهد.

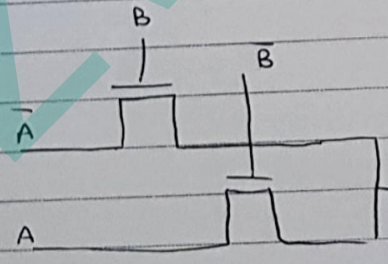
گیت انتقال





پیاده سازی مالتی پلکسر

$C = A\,Sel + B\,\overline{Sel}$



پیاده سازی XOR

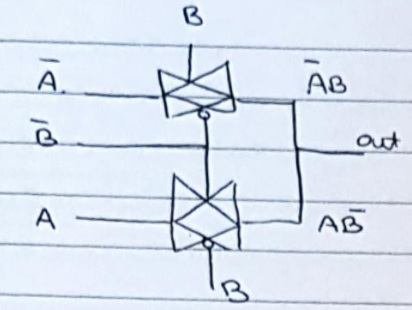
$C = A\bar{B} + \bar{A}B$

چون بعضی‌ها ۱ و بعضی‌ها ۰ روی خروجی عبور نمی‌دهند از گیت انتقال استفاده می‌کنیم.

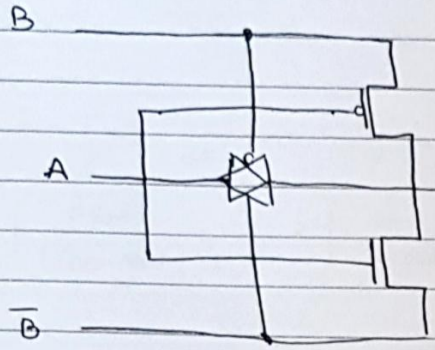
jozveh city.ir
https://t.me/miirza_beneviis

Subject ..... Date .....

پیاده سازی XOR



$out = A\bar{B} + \bar{A}B$

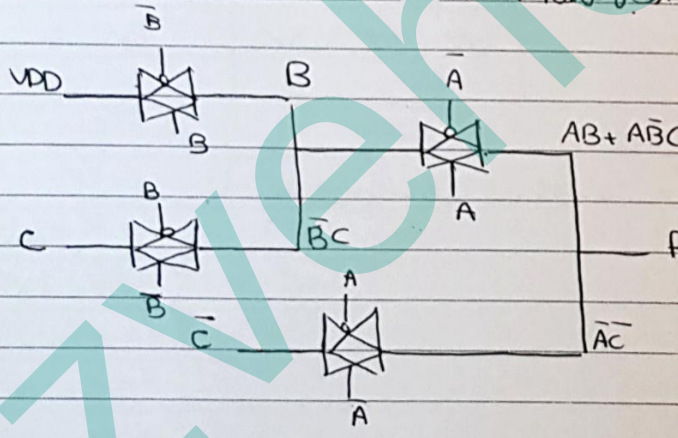


$B=1 \rightarrow \bar{A}$ = خروجی

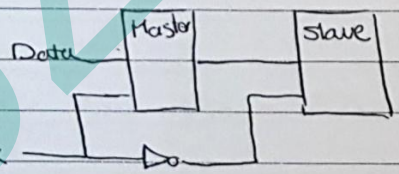
A = خروجی

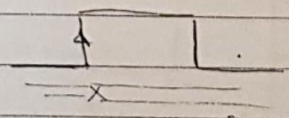
$B=0 \rightarrow$ چون مودی مناسب به ترانزیستور نداریم عبور نمی‌کند ولی می‌شه buffer راه انداخت.

اگر جای B و $\bar{B}$ رو عوض کنیم خروجی می‌شه XNOR

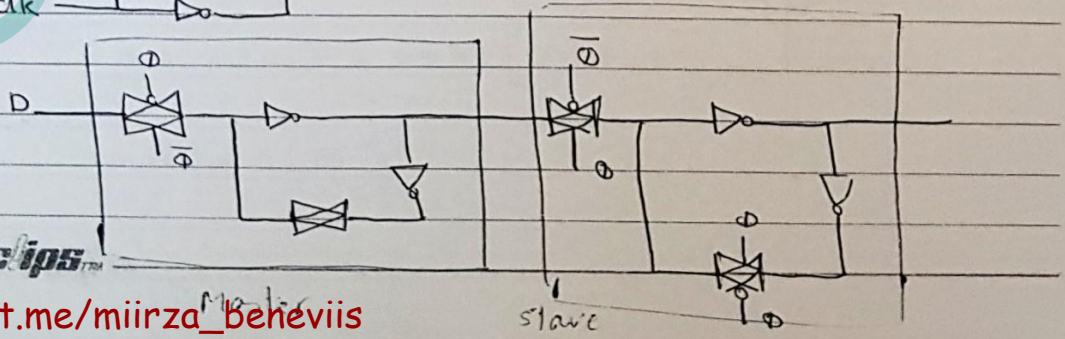


$f \quad \bar{A}\bar{C} + AB + A\bar{B}C$





مدار Master-Slave



https://t.me/miirza_beneviis

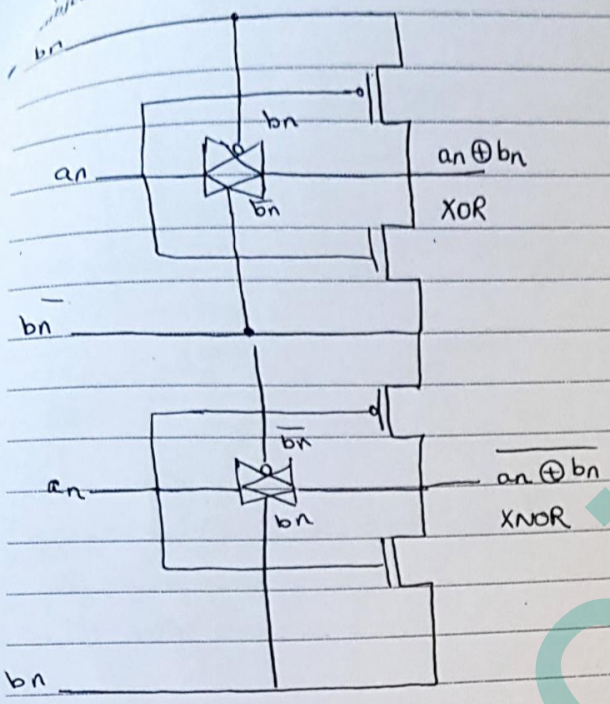
Full_Adders (two-way)

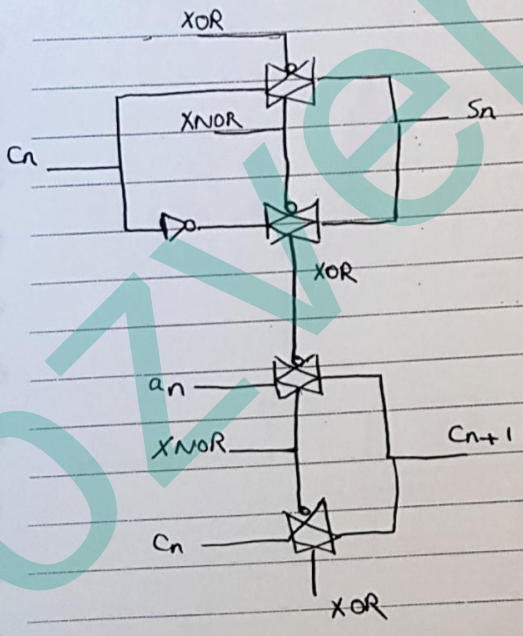
$S_n = a_n \oplus b_n \oplus c_n$

$C_{n+1} = a_n b_n + c_n(a_n \oplus b_n)$

$\rightarrow S_n = (a_n \oplus b_n)\bar{c}_n + \overline{(a_n \oplus b_n)} c_n$

$\rightarrow C_{n+1} = (a_n \oplus b_n) c_n + \overline{(a_n \oplus b_n)} a_n$



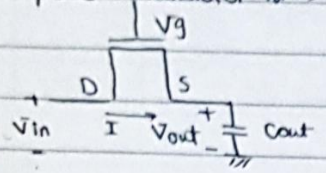


jozvencity.ir

https://t.me/miirza_beneviis

عیب‌های ترانزیستور عبور و نحوه استفاده

pass Transistor nmos logic "1" Transfer



$V_{in} = V_{DD}$

$V_{GS}(t) = V_{DD} - V_{out}(t)$

$V_{DS}(t) = V_{DD} - V_{out}(t)$

فرض می‌کنیم $t = 0 \Rightarrow V_{out}(0) = 0^V$

$\Rightarrow V_{DS} > V_{GS} - V_{tn} \Rightarrow$ nmos : Sat

$$I = C_{out}\frac{dV_{out}}{dt} = \frac{k_n}{2}(V_{DD} - V_{out}(t) - V_{tn})^2$$

$$\int \frac{dV_{out}}{(V_{DD} - V_{out} - V_{tn})^2} = \int \frac{k_n}{2C_{out}}\,dt$$

$$\Rightarrow V_{out} = (V_{DD} - V_{tn})\left[\frac{\frac{t}{2\tau_n}}{1 + \frac{t}{2\tau_n}}\right] \qquad \tau_n = \frac{C_{out}}{k_n(V_{DD} - V_{tn})} \approx R_{معادل} C_{out}$$

$t \to \infty$ $\boxed{V_{out} = V_{DD} - V_{tn}}$ ← ترانزیستور عبور nmos ، 1 را به خوبی عبور نمی‌دهد

مثال: برای ترانزیستور عبور از نوع n مقدار حداکثر ولتاژ عبوری در خروجی را بدست آورید.

$V_{t0} = 0.7^V$

$2|\varphi_f| = 0.58^V$

$\gamma = 0.053$

$V_{DD} = 3.3^V$

$V_{SB} = V_{out}$

$$V_{out} = V_{DD} - V_{tn} = V_{DD} - (V_{t0} + \gamma[\sqrt{V_{SB} + 2|\varphi_f|} - \sqrt{2|\varphi_f|}])$$

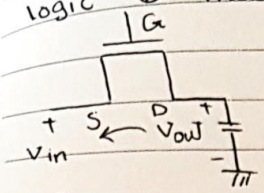
$$= 3.3 - (0.7 + 0.053[\sqrt{V_{out} + 0.58} - \sqrt{0.053}])$$

$\Rightarrow V_{out} = 2.55^V$

https://t.me/miirza_beneviis

Subject ..... Date .....

logic "0" transfer



$V_{in} = 0^V$

$V_G = V_{DD}$

$V_{out}(t=0) = V_{DD} - V_{tn}$

$V_{GS} = V_{DD}$

$V_{DS} = V_{out}$

$V_S = 0$

$\Rightarrow V_{DS} < V_{GS} - V_{tn} \Rightarrow$ حالت

$$I = -C_{out}\frac{dV_{out}}{dt} = \frac{k_n}{2}\left[2(V_{DD}-V_t)V_{out} - V_{out}^2\right]$$

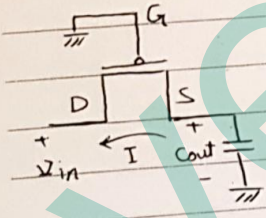
$$V_{out}(t) = (V_{DD}-V_t)\left[\frac{2e^{-\frac{t}{2\tau_n}}}{1+e^{-\frac{t}{2\tau_n}}}\right]$$

$t \to \infty$

$V_{out} \to 0$

$\Rightarrow$ ترانزیستور nmos ، 0 را خوب عبور می‌دهد

Pass Transistor pmos logic "0" transfer



$V_{in} = 0^V$

$V_{out}(t=0) = V_{DD}$

$V_{GS} = -V_{out}$

$V_{DS} = -V_{out}$

$V_{DS} < V_{GS} - V_{tp} \Rightarrow$ pmos: Sat

$$I = -C_{out}\frac{dV_{out}}{dt} = \frac{1}{2}k_p\left(-V_{out} - V_{tp}\right)^2 = \frac{1}{2}k_p\left(V_{out} + |V_{tp}|\right)^2$$

$$V_{out}(t) = |V_{tp}| + \frac{V_{DD} - |V_{tp}|}{1 + \frac{t}{2\tau_p}} \qquad \tau_p = \frac{C_{out}}{k_p(V_{DD} - |V_{tp}|)} \simeq R_p C_{out}$$

مفهوم: یعنی مقدار ثابت ترانزیستورهایی مثل τ_p همگی رفتار می‌کنند.

$t \to \infty$

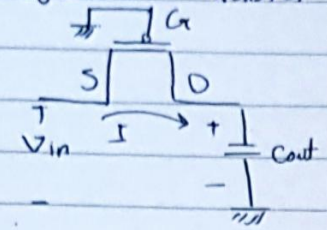
$V_{out} = |V_{tp}|$

$\Rightarrow$ ترانزیستور pmos ، 0 را خوب عبور نمی‌دهد

https://t.me/miirza_beneviis

Subject ..... Date .....

logic "1" transfer



$V_{in} = V_{DD}$

$V_{GS} = -V_{DD}$

$V_{DS} = V_{out} - V_{DD}$

$V_{out}\ (t=0) = |V_{tp}|$

$\Rightarrow V_{DSP} > V_{GSP} - V_{tP}$

$V_{out} - V_{DD} > -V_{DD} - V_{tp}$

$$I = C_{out}\frac{dV_{out}}{dt} = \frac{k_p}{2}\left[2(-V_{DD} - V_{tp})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2\right]$$

$$V_{out} = V_{DD} - |V_{tp}|\left[\frac{2e^{-\frac{t}{\tau_p}}}{1+e^{-t/\tau_p}}\right]$$

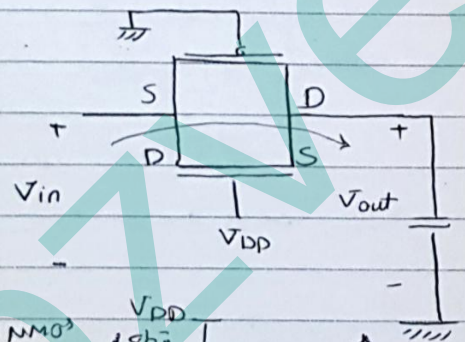
$$\tau_p = \frac{C_{out}}{k_p(V_{DD} - |V_{tp}|}$$

$\begin{cases} t \to \infty \\ V_{out} \to V_{DD} \end{cases}$ $\Rightarrow$ ترانزیستور pmos ، 1 را به خوبی عبور می دهد

جنس اتصالی بلک سفید

ترانزیستور های عبور دهنده هم قرار گیرند و از لیت استفاده شود.

Transition Gate logic "0" transfer

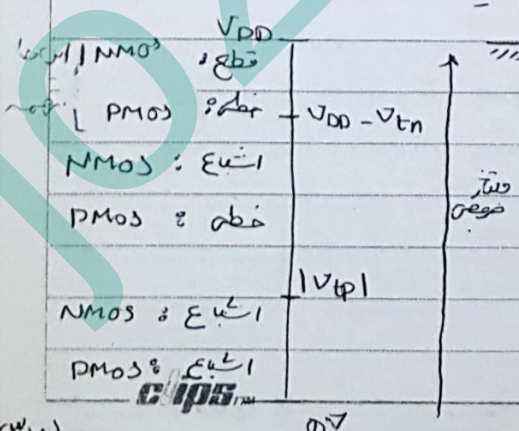


$V_{in} = V_{DD}$

$V_{out}\ (t=0) = 0\ V$

$\begin{cases} V_{GSP} = -V_{DD} \\ V_{DSP} = -V_{DD} \end{cases}$

$\begin{cases} V_{GSN} = V_{DD} - V_{out} \\ V_{DSN} = V_{DD} - V_{out} \end{cases}$

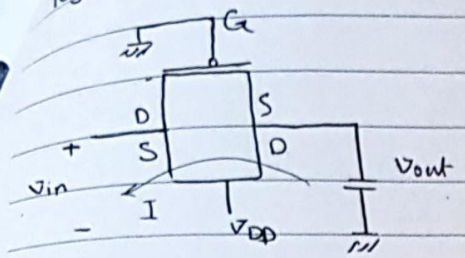


دریچه ی انتقال "0" را به خوبی عبور می دهد

https://t.me/miirza_beneviis

Date

logic "0" transfer



$V_{in} = 0^V$

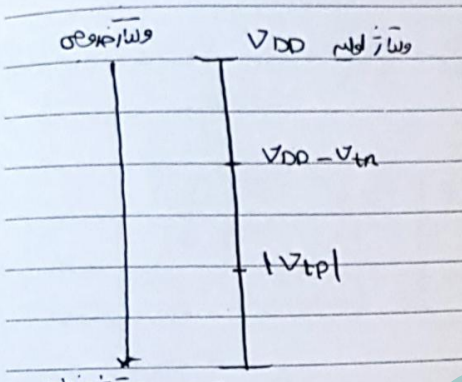
$V_{out}(t=0) = V_{DD}$

$V_{GSn} = V_{DD} - V_{in}$

$V_{DSn} = V_{out}(t) - V_{in}$

$V_{GSp} = 0 - V_{out}(t)$

$V_{DSp} = 0 - V_{out}(t)$



NMOS : اشباع

PMOS : اشباع

Nmos : خطی

pmos : اشباع

NMOS : خطی } ایده‌آل‌ترین

pmos : خطی }

"ثبت انتقال "0" را به خوبی عبور می‌دهد"

مدل‌های منطق تفاضلی هم‌ولتاژ با استفاده از اختلاف ولتاژ بین دو سیم سیگنال را دنبال می‌کنند که دامنه ولتاژ هر یک از سیم‌ها بیشتر از ولتاژ روی سیم مرجع آن سیگنال "1" در نظر گرفته می‌شود. در این صورت "0" توسط دو سیگنال مکمل نشان داده می‌شود. منطق تفاضلی (CMOS) و منطق جریان کلید خازنی از این نوع هستند. مهم‌ترین مزیت آن این است که حساسیت کمتری نسبت به نویز دارد و سرعت عملکرد آن از منطق CMOS بیشتر است. معایب آن عبارتند از توان مصرفی بالا و مساحت سیم‌های اضافی که باید اضافه شود.

1- CVSL
Cascod Voltage Switch logic

2- CPL
Complementory pass Transistor logic

3- DPL
Dual pass Transistor logic

https://t.me/miirza_beneviis

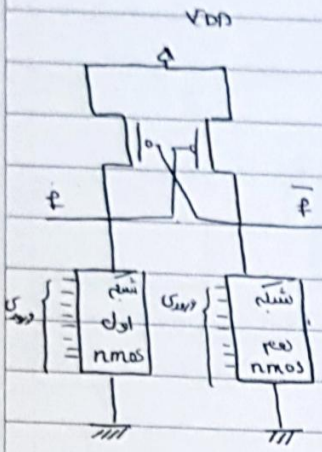
جلسه نهم

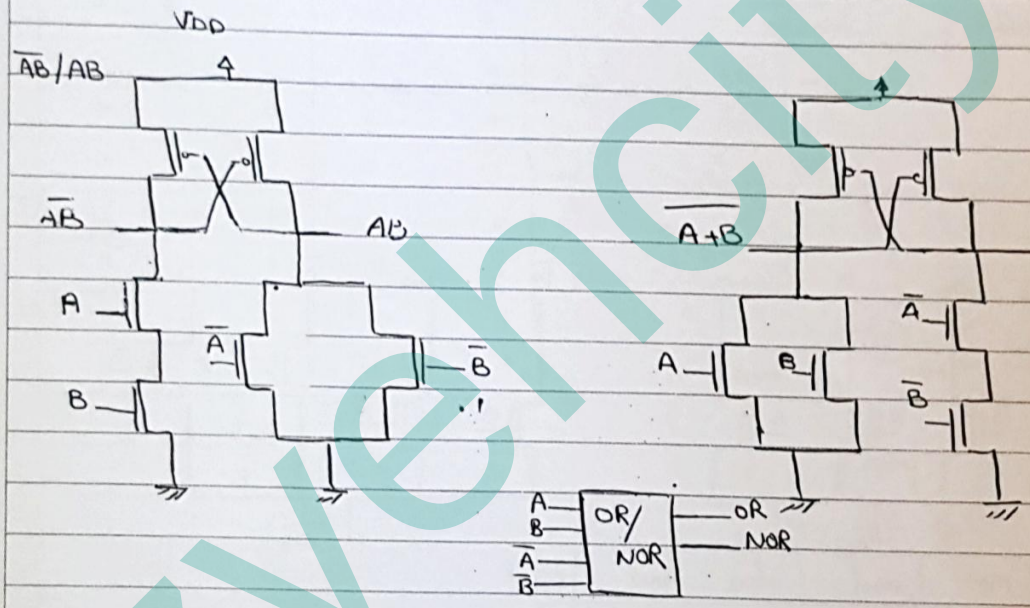
منطق CVSL : شبکه ترانزیستورهای nmos به دو بخش تقسیم می‌شود

- شبکه اول مانند شبکه nmos در پیاده‌سازی CMOS است

- شبکه دوم مکمل شبکه اول است (اتصالات سری در شبکه اول به صورت موازی است و برعکس)

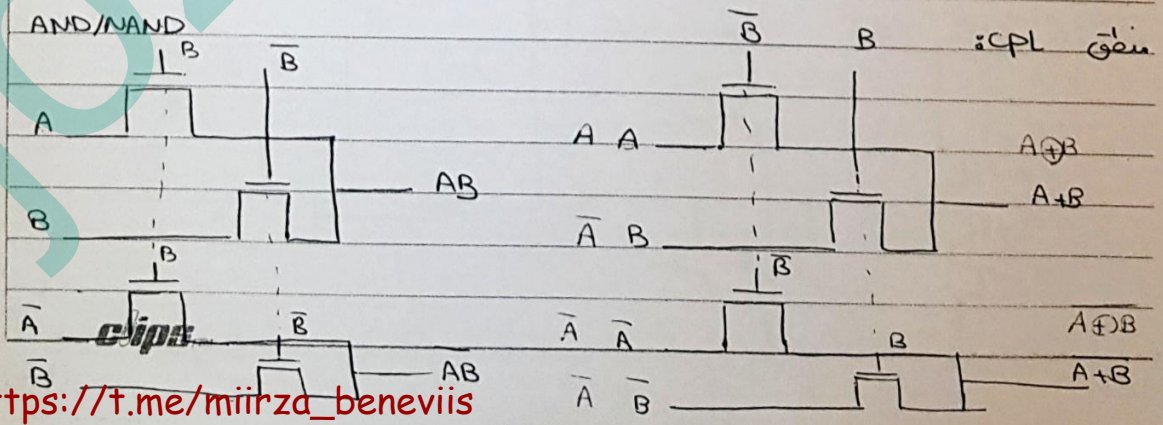
- ورودی‌های ساده به شبکه اول و ورودی‌های مکمل شده به شبکه دوم اعمال می‌شود.





تمرین: $(A+\bar{B})C + \bar{A}B$ ← $(A+\bar{B})\bar{C}$

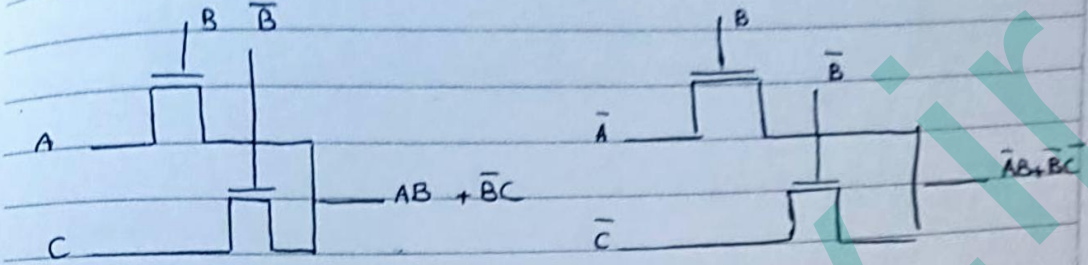
منطق CPL:



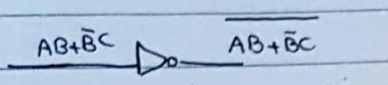
clips
https://t.me/miirza_beneviis
lozvehcity.ir

Date

گیت‌های منطقی CPL شبیه CMOS هستند با این تفاوت که ترانزیستورها به صورت آرایه‌ای مطابق شبکه تعمیم گیت را مرسم کند. یکی از ویژگی‌های مهم این طراحی این است که با تغییر ورودی‌ها تابع منطقی تغییر می‌کند درحالی که ساختار آرایه‌ای ثابت است.

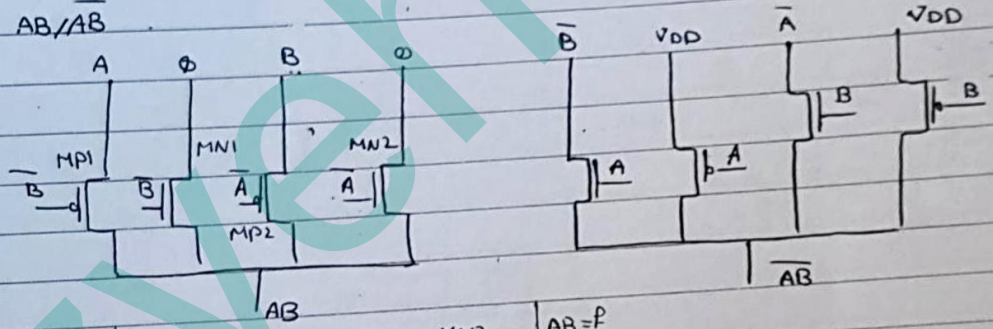


- حداقل ولتاژ عبوری از ترانزیستورهای nmos برابر $V_{DD} - V_{th}$ است که در منطق CPL برای حل این مشکل از بافرهای شده استفاده می‌شود.



- در منطق DPL از ترانزیستورهای pmos برای حل این مشکل استفاده می‌شود.

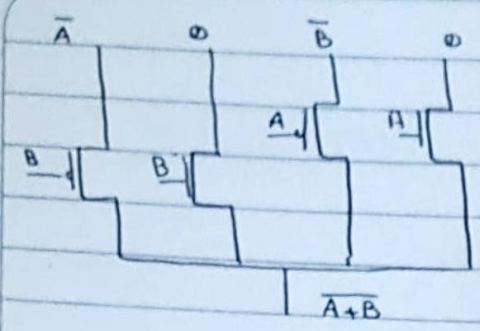
منطق DPL:

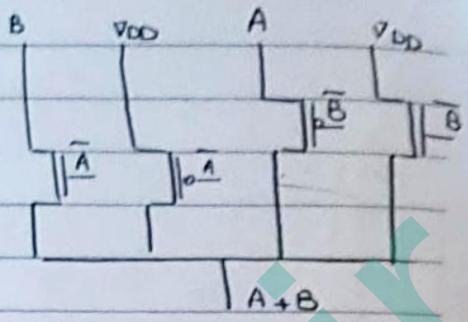


A B	MP1	MN1	MP2	MN2	AB = f
0 0	off	ON	off	ON	0
0 1	ON	off	off	ON	0
1 0	off	ON	ON	off	0
1 1	ON	off	ON	off	1

https://t.me/miirza_beneviis

Subject ..... Date .....





$Sum = A \oplus B \oplus C_{in}$

$Cout = AB + AC_{in} + BC_{in}$

(F.A) Full-Adder

(32) تا ترانزیستور لازم داره.

A	B	Cin	Sum	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

→ (این حالت‌ها) ⇒ $Sum = ABC_{in} + (A+B+C_{in})\overline{Cout}$

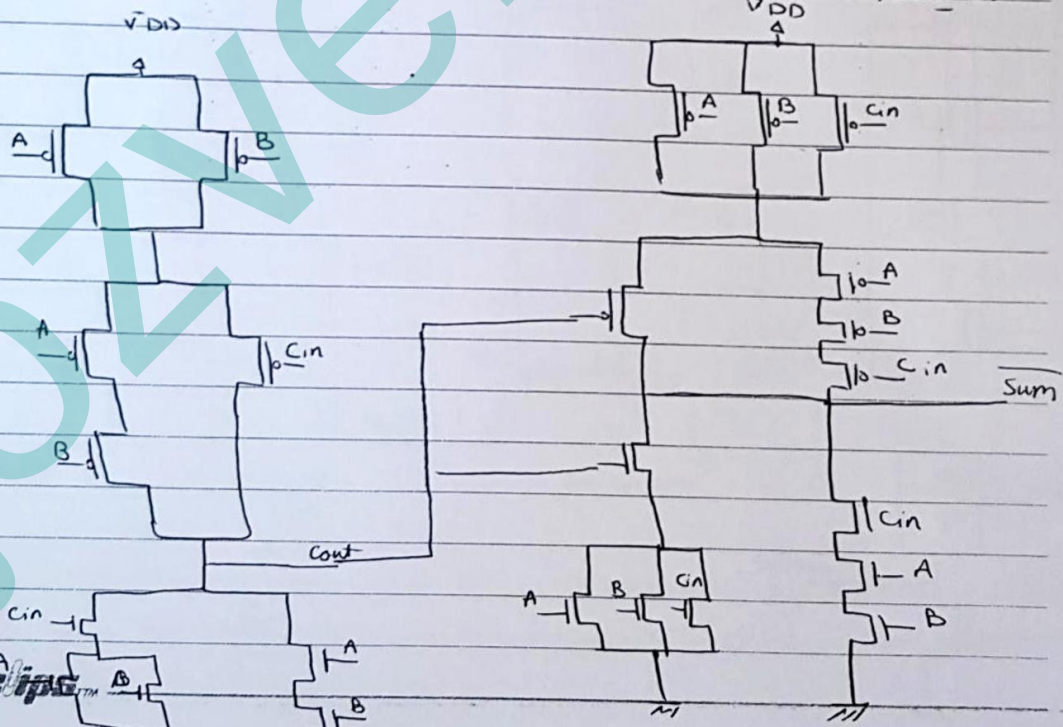
Cout ، Sum

مثل جمع‌کننده

mirror-Adder

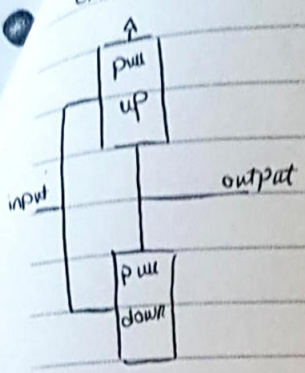
(28) تا

ترانزیستور لازم دارد

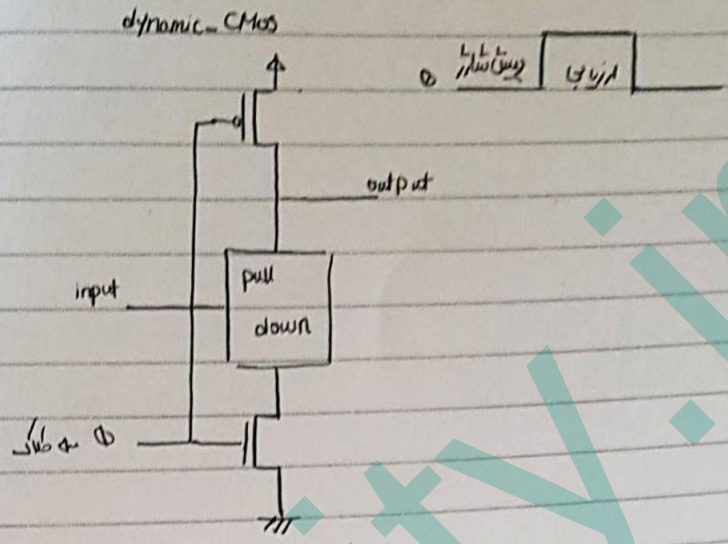


https://t.me/miirza_beneviis

CMOS



dynamic_CMOS



مدارهای CMOS ایستا در همه لحظه غیر از زمان switch کردن خروجی یا یک مسیر کم مقاومت به زمین یا Vdd متصل می‌شود

در همه زمان‌ها وضعیت باید تابع منطقی پیاده‌سازی شده است.

ولی در مدارهای پویا بیشتر به بار ذخیره شده خازن‌های پارازیتی است

بنابراین نیاز به refresh کردن دارد. زیرا این بار ذخیره شده

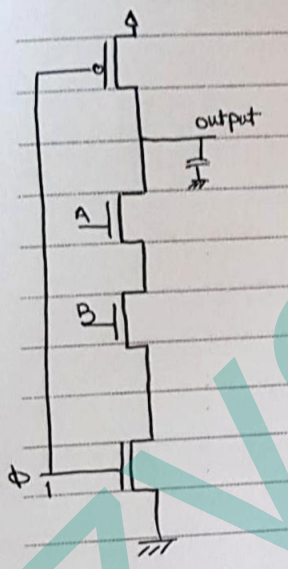
برای مدت زیادی نمی‌تواند پایدار باشد

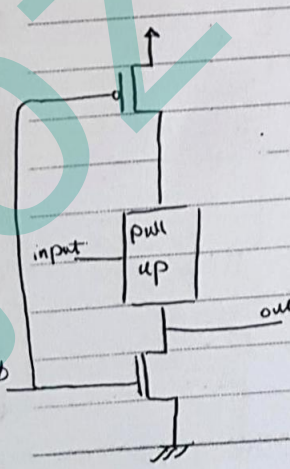
مزیت‌های منطق CMOS پویا:

۱- نیاز به N+2 ترانزیستور دارد.

۲- مساحت کمتری نسبت به CMOS ایستا دارد.

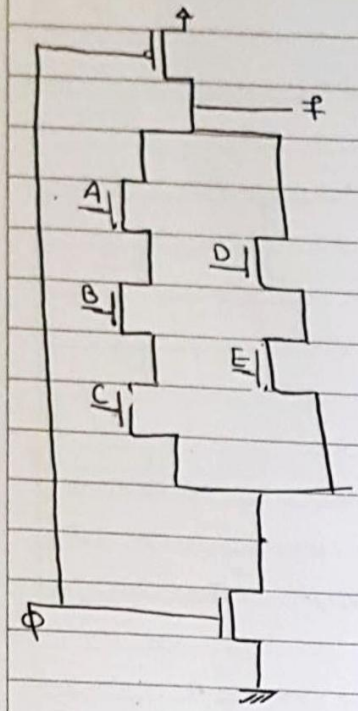
۳- مدار سریع‌تر کار می‌کند.

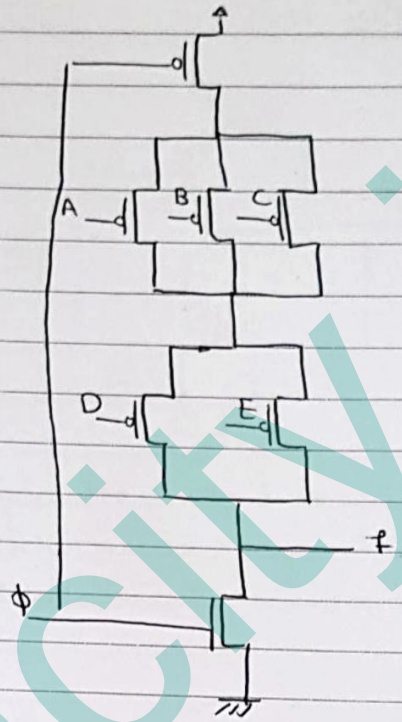




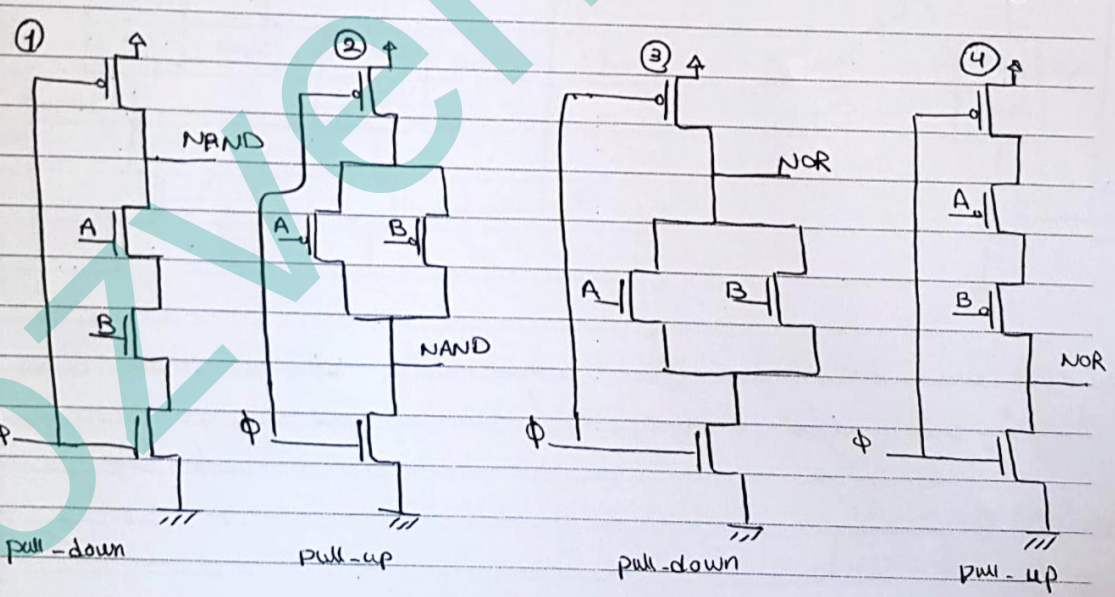
https://t.me/miirza_beneviis

$f = \overline{ABC + DE}$





مقایسه طراحی های precharge, predischarge



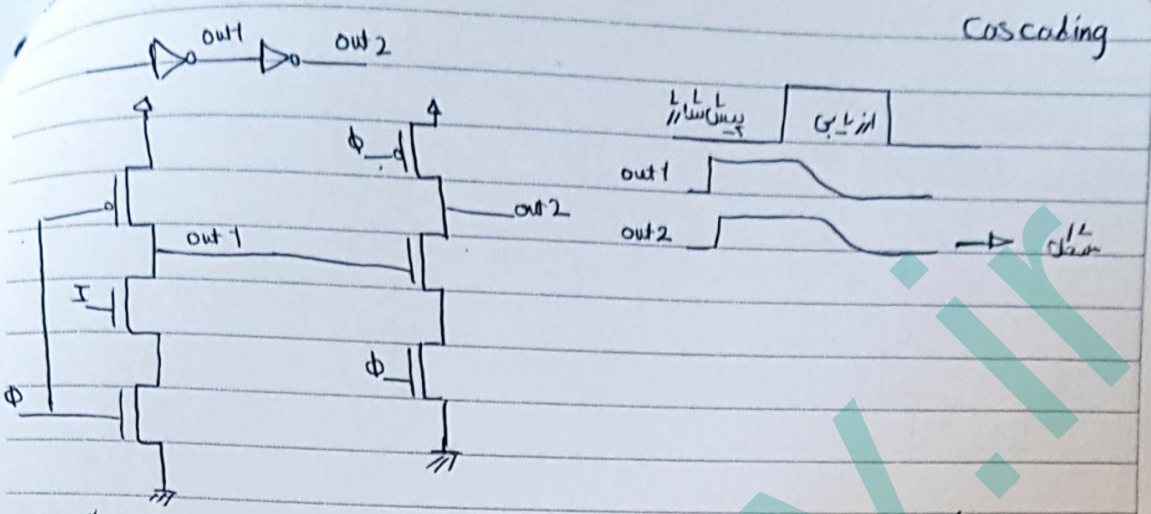
در این حالت دیگر پیش شارژ هیچ فایده‌ای ندارد چون در حالت از پایین مدار NOR همیشه از سمت high متصل است

NAND است به خاطر این که ترانزیستورهای سری در مدار پیش شارژ NAND نیست.

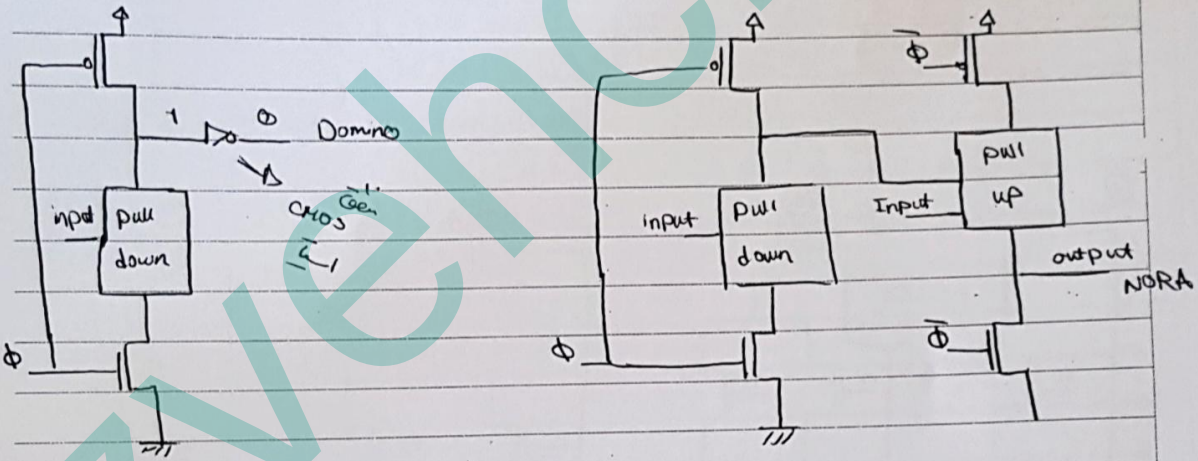
https://t.me/miirza_beneviis

Date

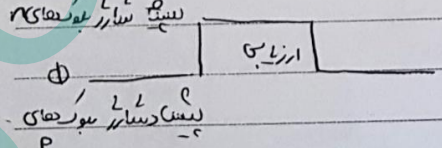
Cascading



در مدار بالا فرض کنید در مرحله پیش شارژ هر دو خروجی out1 و out2 تا VDD شارژ شده اند. اگر I=1 شود در مرحله ارزیابی هر گاه که همزمان ارزیابی می شوند بنابراین خروجی های out1 , out2 هردو صفر می شوند. برای حل این مشکل ۲ راهکار است ۱- منطق Domino ۲- منطق NORA



در منطق NORA به جای استفاده از عملگر OR از عملگر NOR استفاده می شود، زیرا که تمام خروجی پیش شارژ یک گیت n باید یک باشد تا از شارژ پیش از موعد در فاز ارزیابی ترانزیستورهای p جلوگیری می کند.

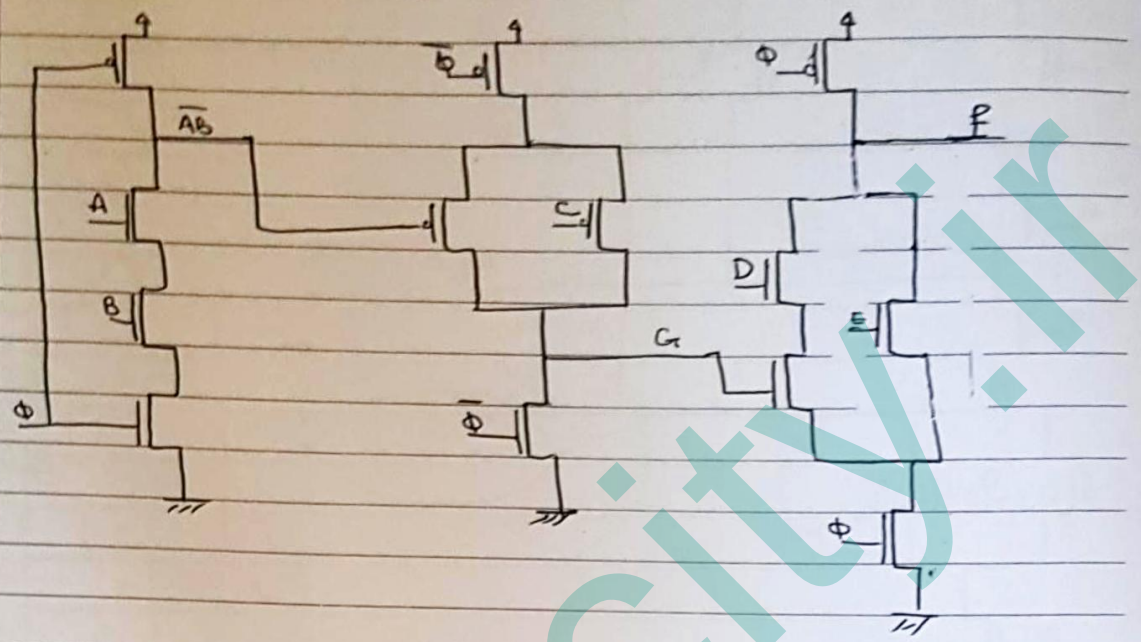


https://t.me/miirza_beneviis

Subject ..... Date .....

$F = \overline{(AB + \bar{C})D + E}$

$X = \overline{AB}$ $\quad G = \bar{C} + \bar{X} = \overline{CX}$ $\quad f = (D \cdot G + E)$



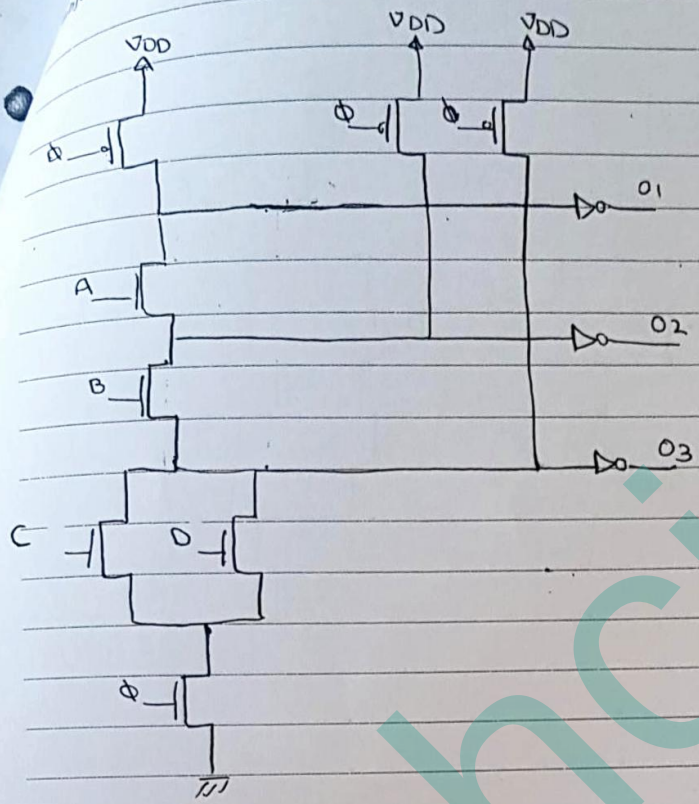
jozvehcity.ir

https://t.me/miirza_beneviis

Date ..... جلسه یازدهم

بهینه سازی منطق دومینو

۱- منطق دومینوی چندخروجی

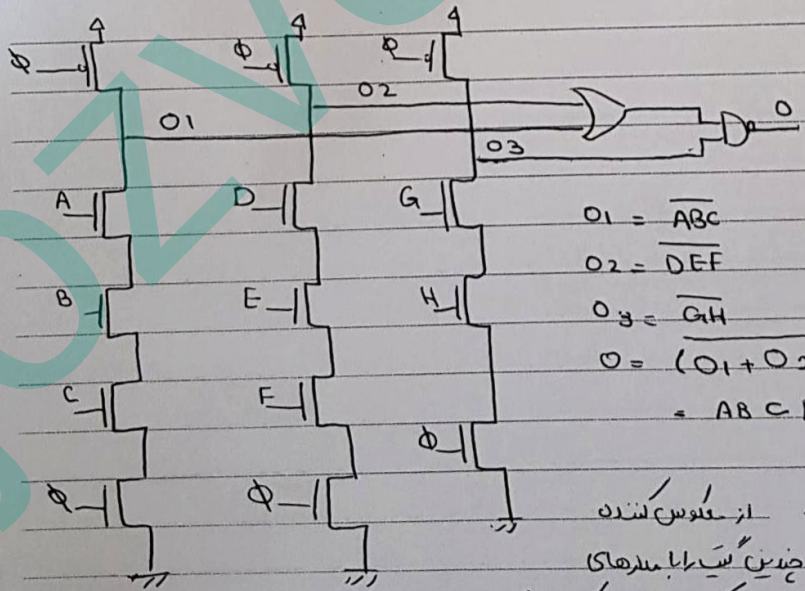


$O_1 = AB(C+D)$

$O_2 = B(C+D)$

$O_3 = C+D$

۲- دومینوی ترکیبی Compund domino



$O_1 = \overline{ABC}$

$O_2 = \overline{DEF}$

$O_3 = \overline{GH}$

$O = \overline{(O_1+O_2)\cdot O_3}$

$= ABC + DEF + GH$

در این روش به جای استفاده از معکوس کننده در هر گیت منطقی پول صوری چندین گیت را با مدارهای CMOS استاتیک پیچیده ترکیب می‌کنیم

jozvehcity.ir

https://t.me/miirza_beneviis

Subject ..... Date .....

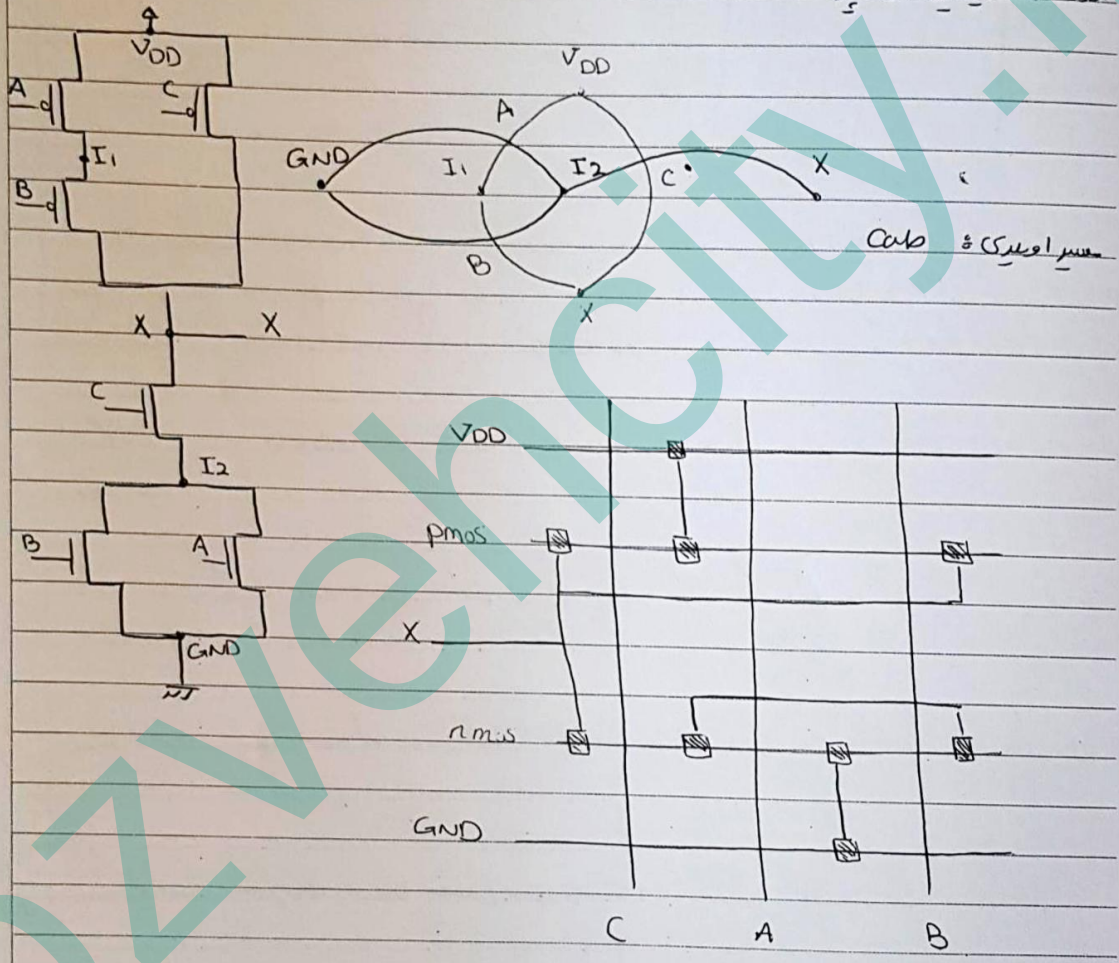
ادامه ی slide ها (Fabrication)

جلسه دوازدهم

Stick Diagram (دیاگرام چوبی)

$X = \overline{(a+b)c}$

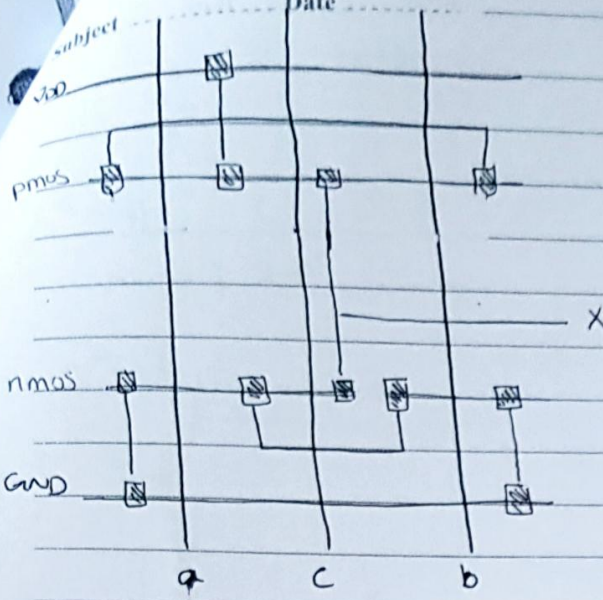
هدف: پیدا کردن مسیر بهینه



مسیر اویلری و Cub

jozvehcity.ir

https://t.me/miirza_beneviis



مسیر acb

پیوسته

ناپیوسته

در ابتدا دوگراف برای بحث‌های p و n گراف به وجود می‌آوریم، یکی از این دوگراف عبوری و دیگری به بستگی افقی است. برای ایجاد هر گراف بهتر است در ابتدا گره‌های مدار را نام‌گذاری کنیم. در گراف ایجاد شده رأس‌های گراف شامل گره‌های مدار و یال‌های گراف سیگنال‌های ورودی ترانزیستورها هستند

دوگراف p و n به گونه‌ای رسم می‌شوند که یال‌های هم‌نام همدیگر را قطع نکنند (بدون این که یال دیگری را قطع کند)

اگر بازرسم یک یال در هر صورت یک یال غیرهم‌نام از گراف دیگر قطع شود از روش مسیر اویلری نمی‌توان استفاده کرد.

مسیر اویلری: مسیری است که در هر گراف تمام رأس‌ها را پیمایش کند بدون اینکه از روی یک یال دوبار عبور کند

ممکن است مسیرهای اویلری مختلفی وجود داشته باشد که یکی از آن‌ها را انتخاب می‌کنیم.

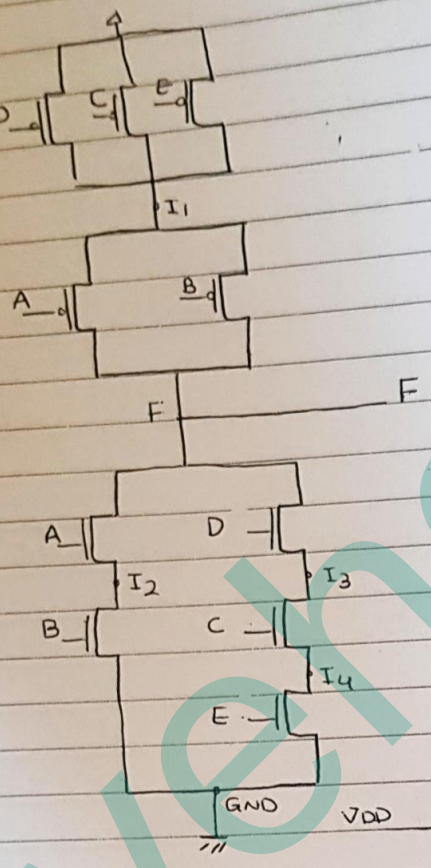
مسیر اویلری مشترک در هر دو گراف p و n مسیر اویلری برای رسم دیاگرام مدار ای است.

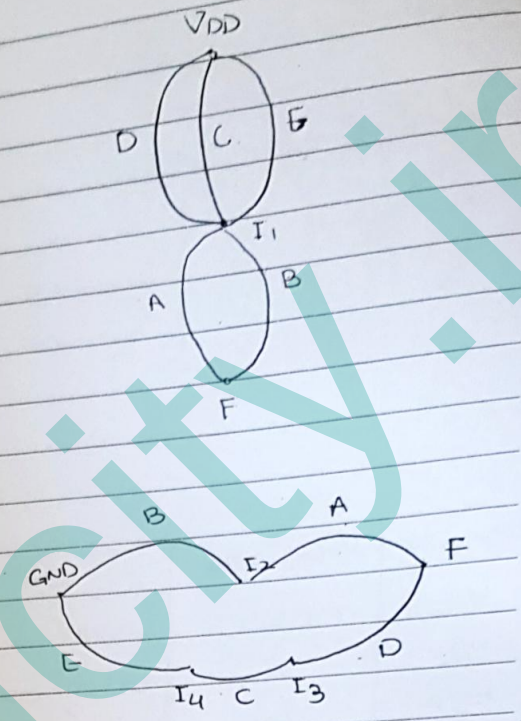
https://t.me/miirza_beneviis
Jozveh city.ir

Subject ..... Date .....

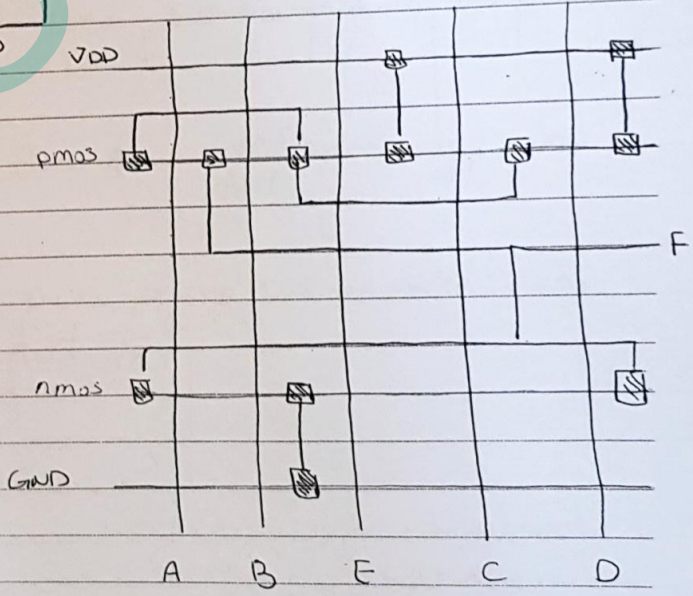
مثال: هوشیز

$F = \overline{AB + ECD}$





ABECD



https://t.me/miirza_beneviis

Scaling (مقیاس پذیری)

مقیاس پذیری به کاهش منظم ابعاد طی تغییرات موجود در تراشه به طوری که تکنولوژی امکان آن را فراهم کند.

مقیاس پذیری سبب کاهش کل مساحت سیلیکون شده است و به عبارتی سبب افزایش چگالی آن می‌شود.

برای توصیف مقیاس پذیری از ضرایب ثابت مانند α و β استفاده می‌شود.

ضریب $\frac{1}{\alpha}$ برای پارامترهای طول مانند L و W

ضریب $\frac{1}{\beta}$ برای ولتاژ و ضخامت اکسید

کمیت	قبل از مقیاس پذیری	بعد از مقیاس پذیری
طول کانال	L	L/α
پهنای کانال	W	W/α
ضخامت اکسید	tox	tox/β
عمق پیوند	xj	xj/α
ولتاژ منبع تغذیه	VDD	VDD/β
ولتاژ آستانه	Vth	Vth/β

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \rightarrow \frac{\varepsilon_{ox}}{t_{ox}/\beta} \rightarrow \beta C_{ox}$$ ثابت:

مساحت گیت: $Ag = L \times W$

$L/\alpha \quad W/\alpha \rightarrow Ag \times \alpha^2$

مقیاس پذیری با ولتاژ ثابت (از 6 میکرون تا 0.6 میکرون)

مقیاس پذیری با میدان ثابت: به دلیل این که همه ابعاد تراز سیلیکون ترجیح می‌شود میدان الکتریکی ثابت بماند.

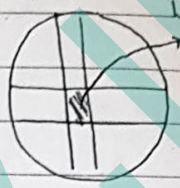
https://t.me/miirza_beneviis

فصل سیزدهم

PVT : توجه داشته باشید که در Die / / / ممکن است توان بیشتر و کمتر باشد ، طراح مدار باید این تفاوت ها را بداند و مدار را به گونه ای طراحی کند که با توان بیشتر و کمتر هم به درستی عمل کند.

PMOS	NMOS
Fast	Fast
Fast	Slow
Slow	Fast
Slow	Slow
typical	typical

- تغییرات دما T
- فرایند ساخت P
- تغییرات ولتاژ V



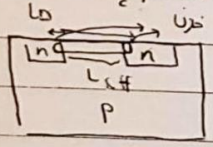
خازن های MOSFET : خازن های موجود در ترانزیستور MOS تابعی از فرایند ساخت و پیش بینی هستند و تا حدودی توزیعی می باشند. محاسبه دقیق آن ها نیاز به مدل های پیچیده و وقت گیر دارد. از این رو تقریب ساده برای آن ها استفاده می شود.

خازن های پارازیتی
- خازن های مربوط به السیه
  - الف) مربوط به ساختار
  - ب) مربوط به خازن کانال
- خازن های پیوندی

الف) دو تا هم پوشانی G با نامیه D و S دو خازن هم پوشانی GD و GS به وجود می آیند $C_{GDO} = C_{GSO}$

$= C_{ox} \cdot W \cdot L_D$

$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$



ب) خازن های مربوط به ناحیه سیلیسیم است و بار کانال است.

C_{gcs} ، C_{gcd} ، C_{gcb}

channal

a) حالت قطع : $C_{gcs} = C_{gcd} = 0$ هیچ کانالی بین D و S وجود ندارد

$C_{gcb} = C_{ox} \cdot W \cdot L$

https://t.me/miirza_beneviis

Date

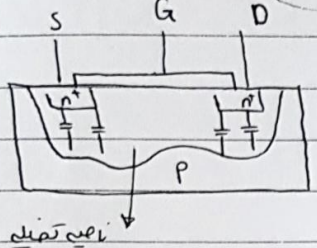
ط. حالت خطی : به دلیل وجود کانال بین D و S بسته شدن بیشتری نیز داریم و از میدان الکتریکی محافظت نمی‌شود.

$C_{gcb} = 0$ $\quad C_{gcs} = C_{gcd} = \frac{1}{2} C_{ox} \cdot W \cdot L$

ج. حالت اشباع : کانال در سمت D امتداد پیدا نمی‌کند.

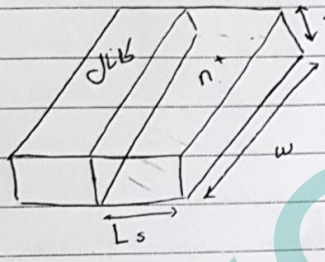
$C_{gcs} = \frac{2}{3} C_{ox} \cdot W \cdot L$

$C_{gcd} = 0$ $\quad C_{gcb} = 0$?



خازن های پیوندی : Junction Cap

بالتوجه به ناحیه تخلیه پیرامون نواحی S و D ایجاد می‌شود.



$C_{diff} = C_{bottom} + C_{sw}$

$C_{bottom} \rightarrow C_j \cdot L_s \cdot W$ خازن واحد سطح

$C_{sw} \rightarrow C_{jsw} (2 \cdot L_s + W)$ خازن واحد طول

واحد استاندارد $\square$ cg

مقدار خازن C_G به کانال کی تاثیرپذیر با ابعاد $L = W = 2\lambda$

1- اولاً مقدار خازن مناسب با تکنولوژی خواهد بود

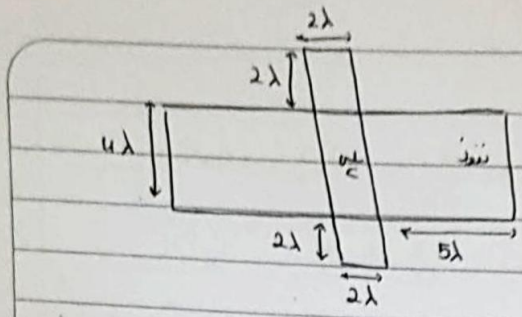
2- بدون احتساب به تعداد ضلع به آن در حالت استفاده می‌شود.

مثال: ظرفیت خازن ورودی گیت یک ترانزیستور را بدست آورید.

$\varepsilon = 8.85 \times 10^{-14} \frac{F}{cm}$ $\quad \varepsilon_{SiO_2} = 3.9$ $\quad 2\lambda = 0.25\ \mu m$ $\quad W = 0.36\ \mu m$

ضخامت لایه اکسید $t_{ox} = 6nm$ $\quad$ ظرفیت خازن سطحی $54 \frac{aF}{\mu m^2}$ $\quad$ ظرفیت خازن سطحی $88 \frac{aF}{\mu m^2}$

jozvehcity.ir
https://t.me/miirza_beneviis

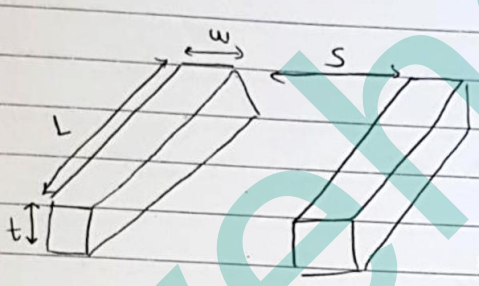


$$C_g = C_{ox} \cdot A$$

$$C_{ox} = \frac{\varepsilon_0 \varepsilon_{ins}}{t_{ox}} = \frac{3.9 \times 8.85 \times 10^{-14}}{5 \times 10^{-9}} = 5.75 \ \frac{fF}{\mu m^2}$$

$$A = 2\lambda \times 4\lambda = 8\lambda^2 = 0.125 \ \mu m^2$$

$$C_g = 0.125 \ \mu m^2 \times 5.75 \ \frac{fF}{\mu m^2} = 0.72 \ fF$$



عوامل مقاومتی و خازنی عناصر مدار

مقاومت سیم: طول سیم، جنس سیم، ضخامت سیم

$W + S = pitch$ سیم

$$R = \rho \frac{L}{A} = \rho \frac{L}{w \cdot t} = \underbrace{\left(\frac{\rho}{t}\right)}_{R_{Sheet}} \cdot \frac{L}{w} = R_S \cdot \frac{L}{w}$$

مقاومت یک مادّه به شکل مربع به ابعاد مربع لبه‌ای دارد و مقدار ثابتی است.

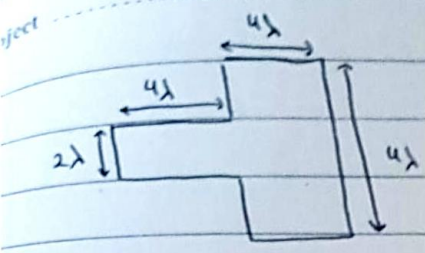
$R_S \ (\Omega / \square)$

$$R_{ON} = K \cdot \frac{L}{w} \qquad K = \frac{1}{\mu C_{ox} (V_{DD} - V_{th})} \qquad 1000 < K < 3000000$$

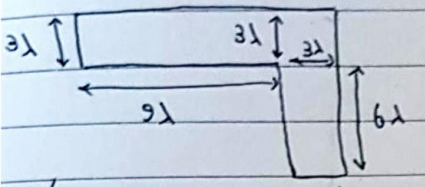
* اگر L و W را دو برابر کنیم مقاومت ثابت می‌ماند. $\frac{2L}{2W}$

https://t.me/miirza_beneviis
Jozvehcity.ir

Date



$$R = Rs \times \left(\frac{4\lambda}{2\lambda} + \frac{4\lambda}{4\lambda} \right) = 3Rs$$



$$R = Rs \times \frac{9\lambda}{3\lambda} + Rs \times \frac{6\lambda}{3\lambda} + \frac{1}{2} Rs \left(\frac{3\lambda}{3\lambda} \right)$$

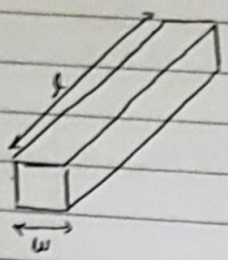
α از اینا تشخیص بدیم ؟

جایی که مثلا 90° است دلیلی مقاومت کمتری رو باشه زیرا الکترون‌های نزدیک به گوشه مسافت کمتری را طی می‌کنند
مکعبی هر گوشه را با $\frac{1}{2}$ تقریب می‌زنیم)

clips
https://t.me/miirza_beneviis
ozvehcity.ir

Subject ..... Date .....

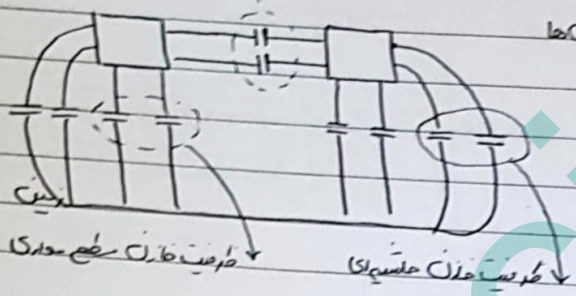
فصل چهاردهم



$R = R_S \frac{l}{w}$

ظرفیت خازن به ساخت صفحه‌ها و فاصله میان آن‌ها و جنس آن‌ها بستگی دارد.

ظرفیت خازن بین سیم‌ها

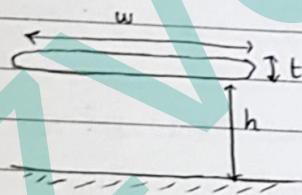


خازن‌های سطح موازی بین زمین و سیم و در مجاورت بین دو سیم

$C = \frac{\varepsilon_r \varepsilon_0 A}{D}$

ظرفیت خازن سطح موازی برای هر دو لایه به مساحت هم‌پوشانی A و ضخامت عایق D و ضریب گذردهی ε_r و ε_0

ظرفیت خازن حاشیه‌ای در طول یک سیم هوایی با ضخامت محدود ایجاد می‌شود.



$$C = \varepsilon_0 \left[\frac{w}{h} + 0,77 + 1,06 \left(\frac{w}{h}\right)^{0,25} + 1,06 \left(\frac{t}{h}\right)^{0,5} \right]$$

با استفاده از روش‌های عددی بدست می‌آید.

https://t.me/miirza_beneviis

Date

Subject

مثال: یک سیم آلومینیومی به طول 10cm و پهنای 1μm را در نظر بگیرید و فرض کنید ضخامت 0,18 μm دارد. ظرفیت خازن سطح موازی در واحد سطح برابر با $18\ aF/\mu m^2$ است، اندازه خازن این سیم را بدست آورید.

$1\ aF = 10^{-18}\ F$

C در A

حل:

$1\ \mu m \times 10^5\ \mu m \times 18\ aF = 1,8\ pF$

فرض کنید

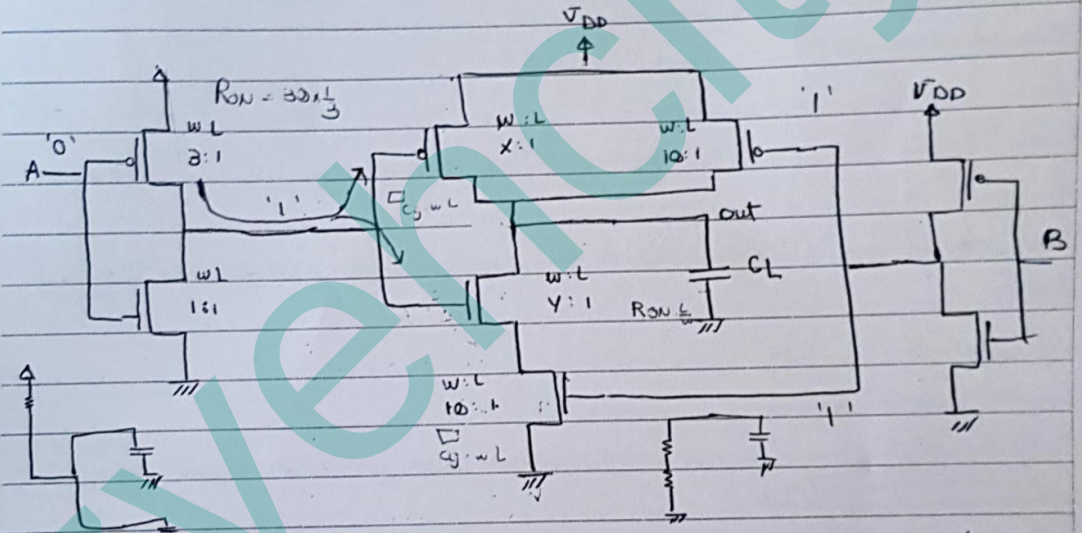
$k_p' = 7\ \mu A/V^2 \quad k_n' = 21\ \mu A/V^2 \quad Y=3 \quad X=6$

$R_{nmos} = 10\ K\Omega \quad R_{pmos} = 30\ K\Omega \quad C_g = 40\ fF$

با فرض اینکه ورودی B ضعیف‌تر باشد حالت بدتر t_{PHL} خروجی out را از A بدست آورید.

از خازن‌ها صرف نظر کنید.

$t_{PHL} = 0,69\ R_{eq} C_{eq}$



$t_{PHL} = 0,69\ R_{eq} C_{eq}$: out تا ضروجی A از ورودی t_{PHL} تأخیر:

$A = high \Rightarrow out = high$

ورودی $A: high \rightarrow Low \Rightarrow out: high \rightarrow Low$

$$t_{PHL} = 0,69 \cdot \left(\frac{30}{3} \cdot (40x + 40y) + C_L\right) \left(10 \times \frac{1}{y} + 10 \times \frac{1}{10}\right) =$$

(برحسب از طرف Cg یک طبقه سیم خازن در سیم چون عنیه از طرف Drain یک طبقه سیم خازن دارد)

(در سیم)

https://t.me/miirza_beneviis

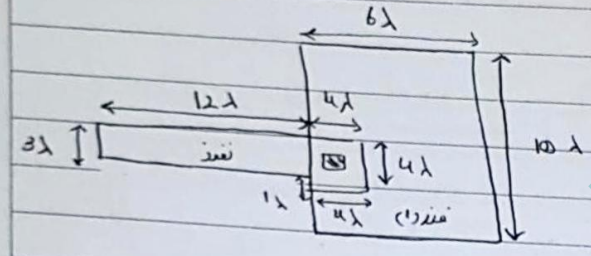
Subject ..... Date .....

مثال: در شکل زیر خازن‌های سطحی و محیطی و سپس ظرفیت خازن کل را بدست آورید.

$2\lambda = 0.18\ \mu m$

از تمرین: $C_{side} = 257\ aF/\mu m$, $C_{plate} = 962\ aF/\mu m^2$

از مثال: $C_{base} = 37\ aF/\mu m^2$, $C_{fringe} = 60\ aF/\mu m$



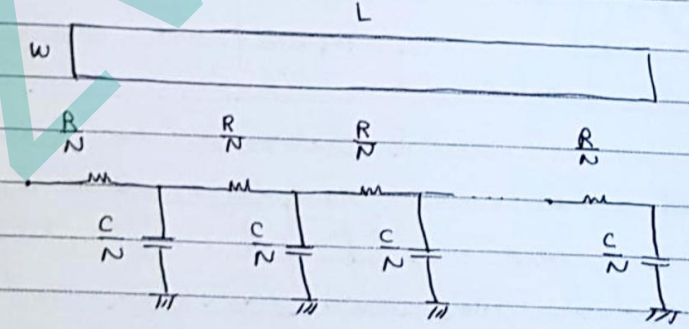
$$C_{diff} = [(3\lambda \cdot 12\lambda) + (4\lambda \cdot 4\lambda)] \cdot 962\ aF/\mu m^2$$

حل:

$$+ [3\lambda + 12\lambda + 1\lambda + 3 \cdot 4\lambda + 12\lambda] \cdot 257\ aF/\mu m = 1330\ aF$$

$$C_{metal} = (6\lambda \cdot 10\lambda)\ 37\ aF/\mu m^2 + 2 \cdot (6\lambda + 10\lambda) \cdot 60\ aF/\mu m = 190.8\ aF$$

$$C_{total} = C_{diff} + C_{metal} = 1521\ aF$$

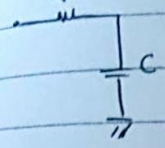


https://t.me/miirza_beneviis

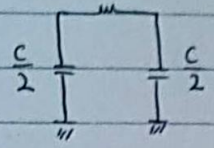
Date

subject

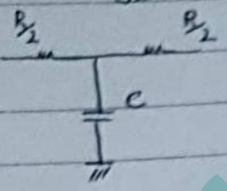
L مدل



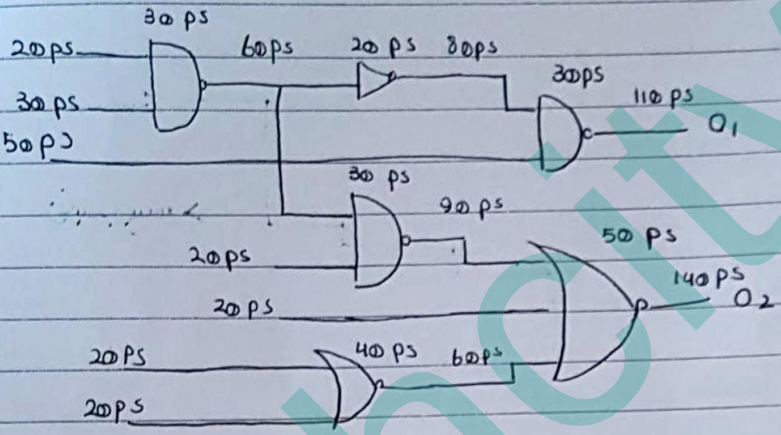
π مدل



T مدل

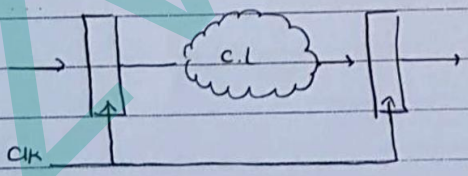


تحلیل زمانی



$a_i = \max_{j \in fanin(i)} \{a_j + t_{pd_i}\}$

مسیر بحرانی: Critical Path مسیری که طولانی‌ترین تأخیر از ورودی به خروجی را دارد.



slack: diff between required and arrival time

if slack > 0 : timing meet

slack < 0 : circuit did not fast enough

$t_{clk} \geq t_{clk\text{-}q} + t_{pd} + t_{su}$

تأخیر انتشار setup

بازه زمانی قبل از لبه کلاک که ورودی برای گرفته شدن باید ثابت باشد

req = 200

arr : 140

→ slack : 60 → می‌توان مدار را طراحی کرد

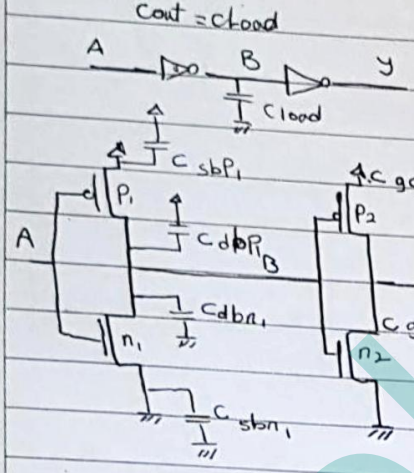
jozveh.ir
https://t.me/miirza_beneviis

جلسه پانزدهم یکشنبه ← جلسه شانزدهم

روش‌های محاسبه تأخیر ← transient response ← پاسخ گذرا
مدل تأخیر RC ← تأخیر المور
مدل مقاومت تأخیر

تبادل بین روش برای محاسبه تأخیر ایجاد یک مدل خطی از مدار توسط یک معادله دیفرانسیل که معمولاً مرتبه یک مصرف تابعی از ولتاژ ورودی که حل آن معادله است.

$C_{out} = C_{load}$



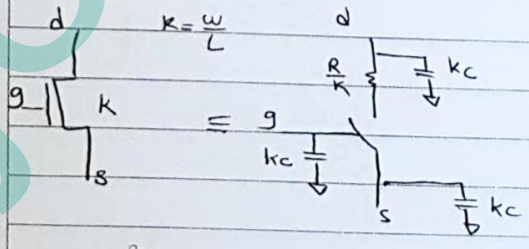
$C_{load} = C_{dbP_1} + C_{wire} + C_{db n_1} + C_{gcP_2} + C_{gcn_2}$

$A = 0 \quad N_1 = OFF \quad P_1 = ON \longrightarrow B = V_{DD}$

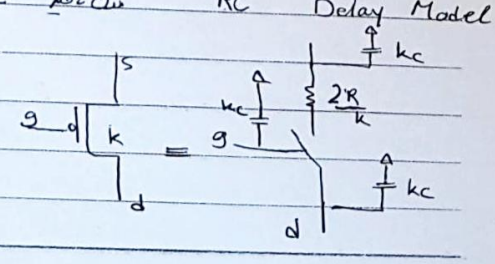
$A = 1 \quad N_1 = ON \quad P_1 = OFF \longrightarrow B = 0$

$$C\frac{dV_B}{dt} = -I_{dsn_1}$$

$$\frac{dV_B}{dt} = -\frac{k_n}{C_{out}} \begin{cases} \frac{(V_{DD}-V_t)^2}{2} & V_B > V_{DD}-V_{th} \\ (V_{DD}-V_t-\frac{V_B}{2})V_B & V_B < V_{DD}-V_{th} \end{cases}$$



مدل تأخیر RC RC Delay Model



https://t.me/miirza_beneviis
jozvencity.ir

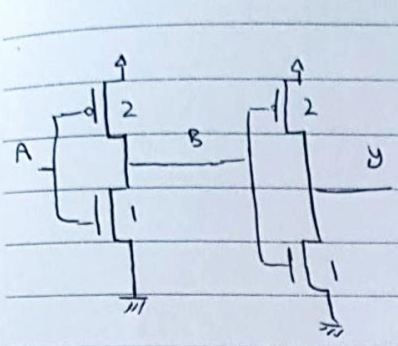
Date

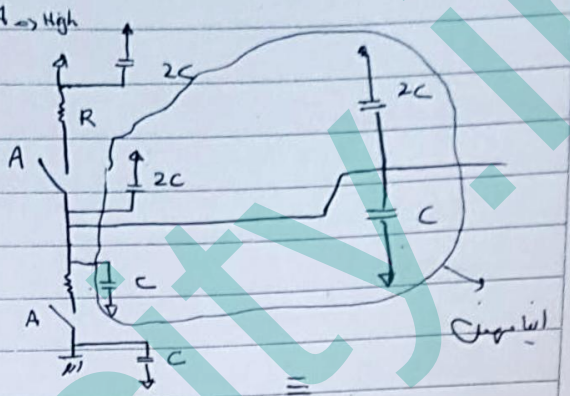
Subject

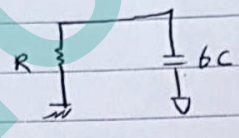
این مدل مشخصات CMOS و I-V غیرخطی ترانزیستور هارا با یک مقاومت و خازن مدل می‌کند این مدل ساده‌تر

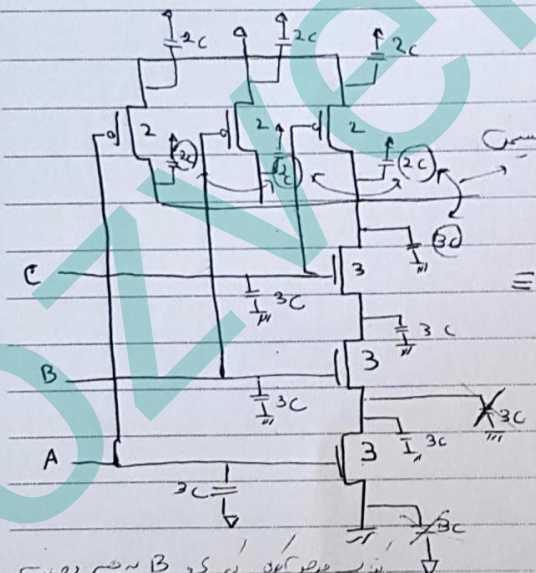
را به عنوان یک سوئیچ (کلید) که با یک مقاومت سری شده است درنظر می‌گیرد.

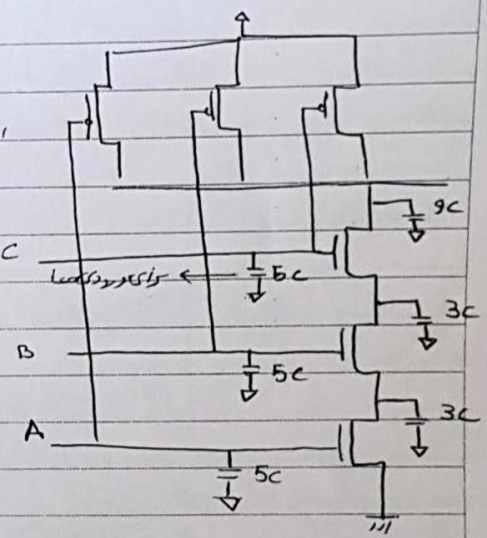
علاوه بر این هر ترانزیستور خازن گیت و خازن دیفیوژن دارد.









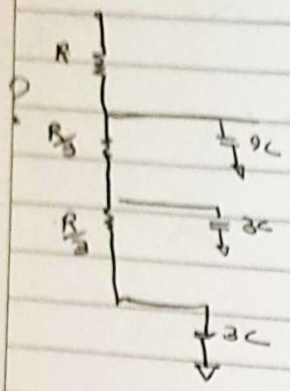


JozveCity.ir

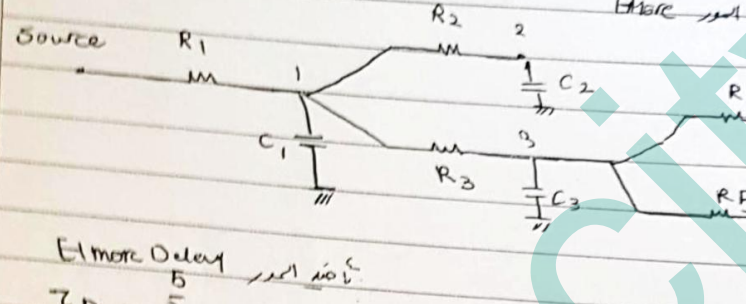
https://t.me/miirza_beneviis

B = C = VDD

A = GND



* حتماً باید درخت باشد ← تأخیر المور Elmore



Elmore Delay تأخیر المور

$$\tau_{D_i} = \sum_{k=1}^{5} C_k R_{ik} = C_1 R_{i1} + C_2 R_{i2} + \dots + C_4 R_{i4} + C_5 R_{i5}$$

$$R_{ik} = \sum R_{jj} \quad (R_j \in path(s \to j) \cap path(s \to k))$$

$$R_{i2} = (R_1 + R_3 + R_5) \cap (R_1 + R_2) = R_1$$

$$R_{i4} = (R_1 + R_3 + R_5) \cap (R_1 + R_3 + R_4) = R_1 + R_3$$

نکته: 1- هیچ حلقه‌ای نباید وجود داشته باشد.

2- هر خازن‌ها باید یک گره و زمین متصل شده باشند.

3- یک گره ورودی داشته باشد. (Source زنگره)

4- از گره ورودی به هر گره دیگر فقط یک مسیر منحصر به فرد وجود داشته باشد.

https://t.me/miirza_beneviis

Subject ..... Date .....

مدل تأخیر خطی Linear Delay Model

$d = F + P = g \cdot h + P$ ⟶ Parasitic Delay

logical effort electrical effort

$\tau_{real} = d \cdot \alpha$ ← ضریب تناسب بین تأخیر واقعی و تأخیر نرمال شده

خازن بار خارجی

jozvencity.ir

https://t.me/miirza_beneviis

Subject ..... Date .....

جلسه هفتم

مثال 8: layout زیر را در نظر بگیرید. مقاومت کانال n برابر با 18 kΩ است. $L=W=1\mu m$ و L_n

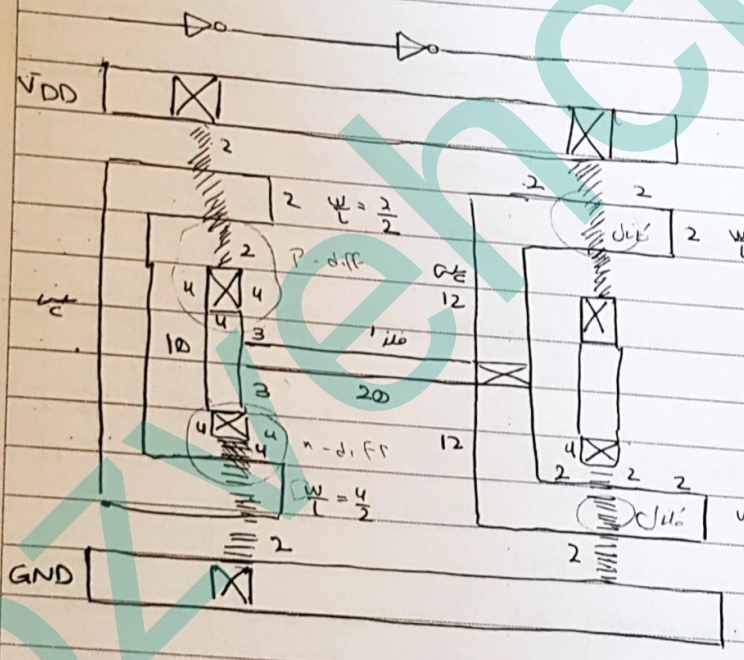
ظرفیت خازن گیت استاندارد 0.9 fF

ظرفیت خازن سطحی فلز 1: $0.3 \frac{fF}{\mu m^2}$ ظرفیت خازن محیطی فلز 1: $0.2 \frac{fF}{\mu m}$

ظرفیت خازن سطحی نفوذ n: $9 \frac{fF}{\mu m^2}$ ظرفیت خازن محیطی نفوذ n: $6 \frac{fF}{\mu m}$

ظرفیت خازن سطحی نفوذ p: $6 \frac{fF}{\mu m^2}$ ظرفیت خازن محیطی نفوذ p: $4 \frac{fF}{\mu m}$

ظرفیت خازن سطحی پلی: $0.9 \frac{fF}{\mu m^2}$ ظرفیت خازن محیطی پلی: $1.7 \frac{fF}{\mu m}$



ظرفیت خازن هر گره را بدست آورید.

حل:

$0.3 \times (4\times4 + 10\times4 + 4\times4 + 20\times4 + 4\times4) +$

$0.9 (4+10+4+4+4+3+20+4+4+4+20+3+4+4)$

$= 133.2$ fF

https://t.me/miirza_beneviis

ظرفیت خازن نقاط مربوطه محاسبه شده اول را بدست آورید.

$C_{diff} = C_{n\,diff} + C_{p\,diff}$

حل:

$= 9 \times (4\times4 + 4\times4) + 6(4+4+4+4+4)$

$+ 6\times(2\times2 + 4 + 4) + 4\times(4+4+4+1+2+2+1)$

$= 1000\ FF$

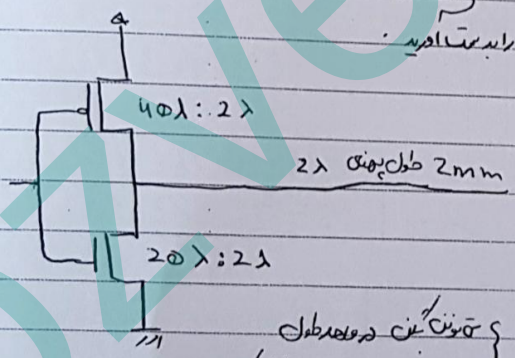
ظرفیت خازن بین سیگنال مشخص شده دوم را بدون در نظر گرفتن خازن کانال ترانزیستورها به دست آورید.

$C_{poly} = 0.19 \times (12\times2 + 2\times2 + 2\times2 + 12\times2 + 2\times2 + 2\times2 + 2\times4)$

$+ 1.7 \times (12 + 4 + 12 + 2 + 3\times2 + 2 + 10 + 4 + 10 + 2 + 3\times2 + 2)$

مثال: شکل زیر مشخص شده ای باشد از آن می خواهد که مقاومت بین سیگنال را بدست آورید.

با استفاده از مدل RC تأخیر دامنه‌ای سیگنال را بدست آورید.



$R_{snmos} = 13\ K\Omega/\square$

$R_{spmos} = 26\ K\Omega/\square$

$\lambda = 0.5\ \mu m$

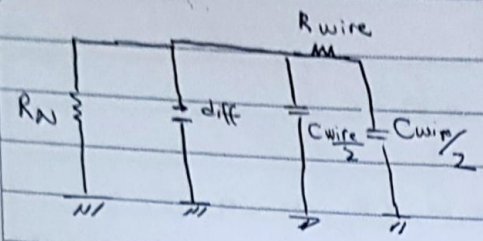
ظرفیت خازن سطحی بین سیگنال $0.2\ FF/\mu m$ } به دلیل کم بودن طول
ظرفیت خازن سطحی نفوذ $2\ FF/\mu m$ } از مساحت در محیط صرف نظر کنید.

در خازن متصل شده فقط خازن و خازن سطحی صرف نظر کنید. از مدل π برای مدل کردن RC می استفاده نشود.

jozveh city.ir

https://t.me/miirza_beneviis

Subject ..... Date .....



$R_N = 13\ K\Omega/\square \times \frac{2}{2D}$

$R_p = 26\ K\Omega/\square \times \frac{2}{4D}$

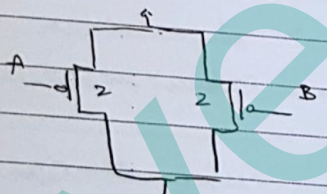
$C_{wire} = 0.2\ \frac{ff}{\mu m} \times 2\ mm = 400\ ff$

$C_{diff} = 2\ \frac{ff}{\mu m} \times (\underbrace{2\lambda + 2\lambda}_{D_{eff}}) \times 0.5$ ~~$(4D\lambda + 2D\lambda)$~~

$R_{wire} = 5\ \frac{\Omega}{\square} \times \frac{2\ mm}{2 \times 0.5\ \mu m} = 10\ K\Omega$

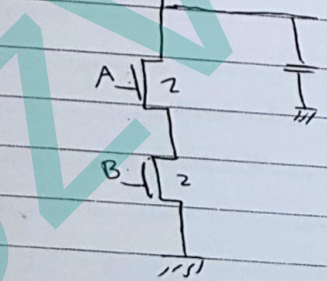
logical effort

مثال: تأخیرهای t_{PLH} , t_{PHL} را با استفاده از روش الموردیت بدست آورید



$t_{PHL} = 0.69\ RC$

$t_{PLH} = 0.69\ RC$

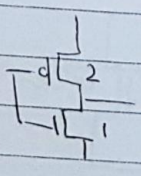


logical effort :

$t_{PHL} = d \cdot 0.69\ 3RC$

در مقایسه با تکنولوژی قبل نفوذ ۳ واحد افزایش روی خروجی است

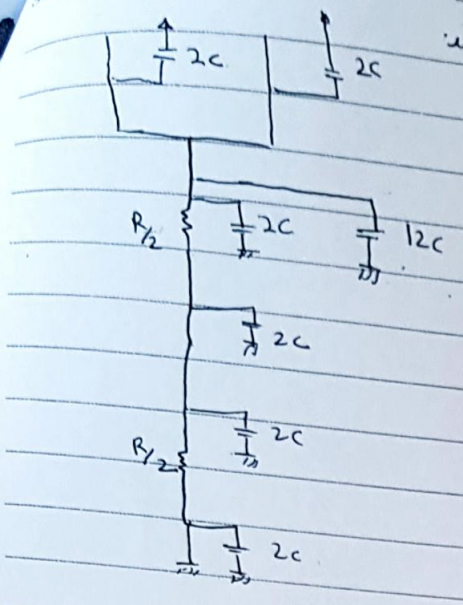
$d = (p + gh) = 2 + \frac{4}{3} \times \frac{12C}{4C}$



clips TM

https://t.me/miirza_beneviis

Subject ..... Date .....



A,B ثابت باشد

حل:

$t_{pHL} = 0.69\,RC =$

$0.69 \times \left(\frac{R}{2} \times 4C + R \times 18C\right)$

$t_{pLH} = 0.69 \times R \times 18C$

تقریبی حالت بد

در نظر می‌گیریم $A = 0, B = 1$

مثال: تأخیر انتشار گیت زیر را محاسبه کنید. با فرض مشخصات زیر A

$R_{spmos} = 25\ K\Omega/\square$ $L = 0.24\ \mu m$

$R_{gpmos} = 12.5\ K\Omega/\square$ $W_p = 4\ \mu m$

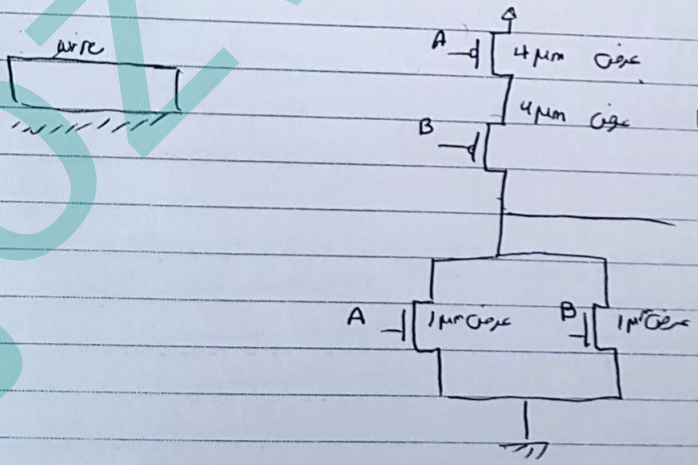
$R_{sheet} = 0.075\ \Omega/\square$ $W_n = 1\ \mu m$

$0.07\ fF/\mu m^2$ خازن سیم در واحد سطح

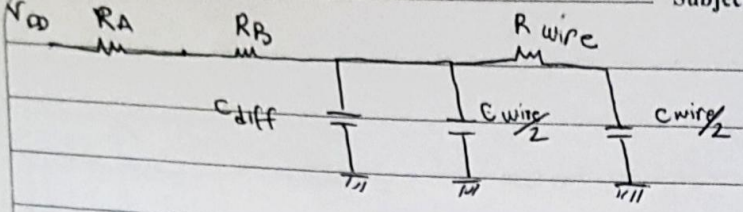
$0.05\ fF/\mu m$ خازن سیم در واحد طول

$C_D = 1\ fF/\mu m$ خازن Drain در واحد طول

خازن C استفاده نشده.



https://t.me/miirza_beneviis



$$R_A = R_B = 25\ k\Omega/\square \times \frac{0.24\ \mu m}{4\ \mu m} = 1.5\ k\Omega$$

$$C_{wire} = (0.07 \times 1000\ \mu m \times 24\ \mu m) + 0.5 \times (100)$$

$$R_{wire} = 0.075 \times \frac{1000\ \mu m}{24\ \mu m} = 0.3125\ \Omega$$

C_{diff} = (مجموع عرض ترانزیستورهای متصل به خروجی) × C_{ox} = $(4\mu m + 2 \times 1\mu m) \times 1 fF/\mu m = 6\ ff$

$$(R_A + R_B) \cdot (C_{diff} + C_{wire}/2) + (R_A + R_B + R_{wire}) \times C_{wire}/2$$

* در سؤال گفته A صفر باشد یعنی خازن نداره دیگه حساب نمی‌کنیم.

https://t.me/miirza_beneviis

Date

فصل هجدهم

تأخیر گیت: به توپولوژی گیت، ضریب خازن ورودی و خازن خروجی گیت و نوع ساخت آن بستگی دارد

$d = \frac{Z_{real}}{\alpha}$ ← تأخیر واقعی | α: ضریب فن آوری | تأخیر نرمال‌شده بدون خازن بار خارجی

$d = F + P$ ← تأخیر پارازیتی — F: effort delay

وابسته به پیچیدگی گیت fanout

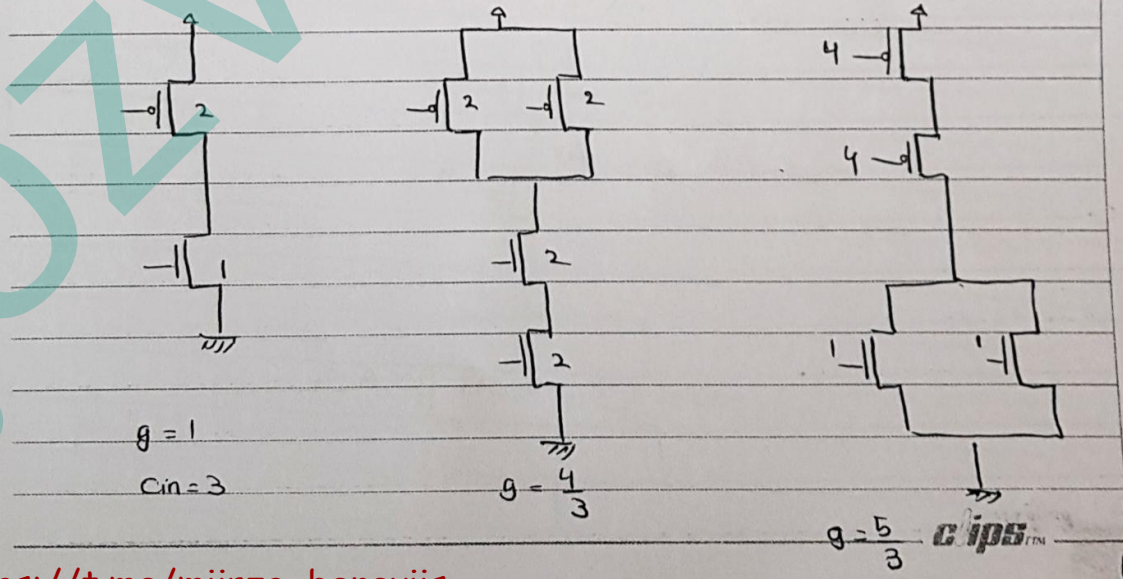
$F = g \cdot h$ ← electrical effort

logical effort

تلاش منطقی گیت‌ها: نسبت خازن ورودی آن گیت به خازن ورودی معکوس کننده‌ای است که می‌تواند همان جریان خروجی را فراهم کند. به عبارت دیگر تلاش منطقی معکوس کننده برابر یک است. تلاش منطقی یک گیت توانایی آن در جریان دهی است. که نسبت به معکوس کننده بیان می‌شود.

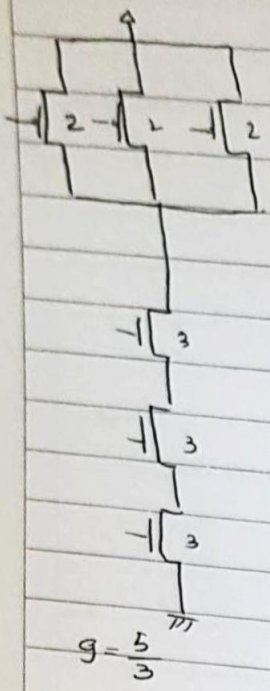
روش‌های محاسبه تلاش منطقی: ۱- شبیه‌سازی گیت و رسم منحنی تأخیر

۲- استفاده از عرض ترانزیستورها

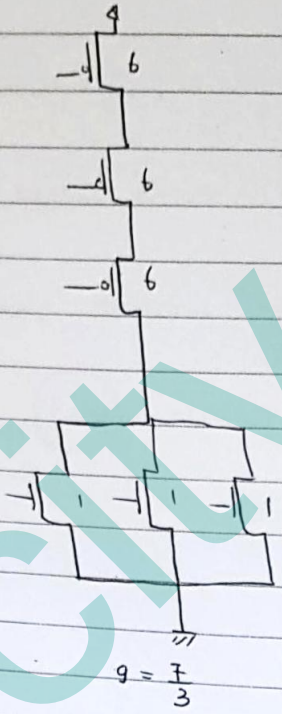


jozveh city.ir
https://t.me/miirza_beneviis

نکته: اندازه ترانزیستورها به گونه‌ای انتخاب شده است شبکه بالایی و پایین به تقاضت واحد مقاومت داشته باشد.



$g = \frac{5}{3}$



$g = \frac{7}{3}$

$g_{(nand)} = (n+2)/3$ $\quad g_{(nor)} = (2n+1)/3$

تلاش الکتریکی (electrical effort) : تلاش الکتریکی به صورت نسبت ظرفیت خازن خروجی گیت به خازن ورودی گیت تعریف می‌شود.

$$h = \frac{C_{out}}{C_{in}}$$

تأخیر پارازیتی : تأخیر پارازیتی به تأخیر گیتی گفته می‌شود که باری به اندازه صفر را درایو می‌کند و یا مثل تأخیر RC تخمین زده می‌شود، یک روش تقریبی در نظر گرفتن خازن نشت روی گره خروجی است. در محاسبه تأخیر این خازن 3 است.

گیت های NAND و NOR سه ورودی هرکدام دارای 9 واحد خازن بدون روی گره خروجی هستند بنابراین تأخیر پارازیتی آن‌ها سه برابر محاسبه شده است.

p : تأخیر پارازیتی نرمال شده نسبت به محاسبه شده است.

https://t.me/miirza_beneviis

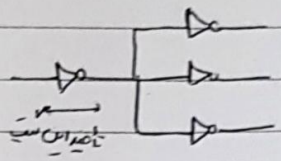
Subject ..... Date .....

NAND ?
NOR

اگر ورودی n $\rightarrow p = n$

مثال: تأخیر یک گیت معکوس کننده CMOS که تقریباً معکوس کننده شبیه را درایو می‌کند در تکنولوژی 18 nm را بدست آورید.

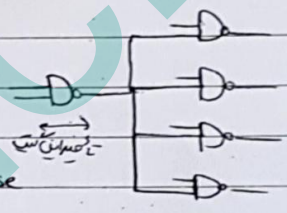
$\alpha = 15$ psc



$g = 1$ $\quad h = 3$ $\quad (p = 1)$ $\quad d = 1 \times 3 + 1 = 4$:ح

$\tau_{real} = 4 \times 15$ psc $= 60$ psc

مثال:

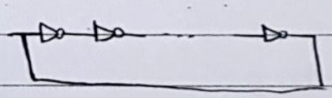


$h = 4$ $\quad g = \frac{4}{3}$ $\quad p = 2$

$d = f + p = 7.3$ $\quad \tau_{real} = 110$ psc

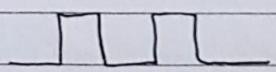
مثال: یک نوسان‌گر حلقوی از تعداد فردی معکوس کننده ساخته می‌شود، فرکانس این نوسانگر با n طبقه (1) را بدست آورید.

$d = g.h + p = 1 \times 1 + 1 = 2$



تأخیر برای N طبقه $\rightarrow 2N$: $T = 2 \times 2N$

$f = \frac{1}{4N}$

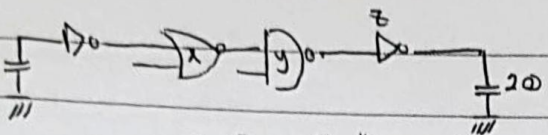


سیگنال باید ۲ بار در هر طبقه تغییر کند تا به مقدار اولیه خود برسد.

jozveh city.ir
https://t.me/miirza_beneviis

Subject ..... Date .....

Multi-Stage-Net



$g=1 \qquad g=5/3 \qquad g=4/3 \qquad g=1$

$h=\frac{x}{10} \qquad h_2=\frac{y}{x} \qquad h_3=\frac{z}{y} \qquad h=20$

$G=\prod g_i$ (path logical effort) تلاش منطقی مسیر

$H=\prod h_i=\frac{C_{out}}{C_{in}}$ (path electrical effort) : H

$F=\prod f_i$ (path effort) : F

$=\prod g_i h_i$

$D=\sum_{i=1}^{N} g_i h_i+\sum_{i=1}^{N} p_i$: تأخیر

تأخیر مسیر N طبقه زمانی حداقل می‌شود که هر طبقه $f_i=g_i h_i$ / تلاش داشته باشد

$\prod f_i=F^N \Rightarrow D=\sum f_i+\sum p_i=N.F^{\frac{1}{N}}+\sum p_i$

مثال: فرض کنید 4 طراحی برای پیاده‌سازی یک AND 6 ورودی در نظر گرفته شده است

برای $H=1$ نشان دهید که (a) بهترین است

$H=5$

$H=20$

(a)

(b)

(c)

(d)

clips

https://t.me/miirza_beneviis

Subject ..... Date .....

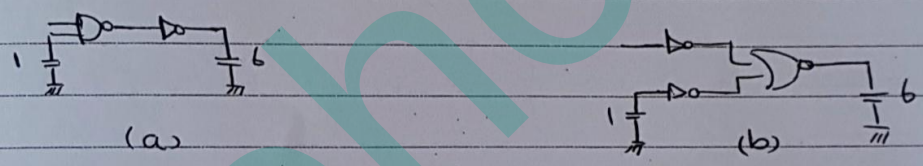
Design	G	P	N	D(H=1)	D(H=3)	D(H=20)
a	8/3 × 1	6+1	2	10,3	14,3	21,6
b	5/3 × 5/3	3+2	2	8,3	12,5	19,9
c	4/3 × 7/3	2+3	2	8,5	12,9	20,8
d	5/3 × 1 × 4/3 × 1	3+1+2+1	4	11,8	14,3	17,3

$D = N F^{\frac{1}{N}} + \Sigma p_i$

$F = \Pi f_i = \Pi g_i h_i$

$F = G \cdot H$

مثال: از دو طراحی زیر برای یک گیت AND دو ورودی کدام سریع‌تر است؟



$H = 6$

$P = 2 + 1 = 3$

(a) $G = \frac{4}{3} \times 1$

$F = G \cdot H = \frac{4}{3} \times 6 = 8$

$P = 8^{\frac{1}{2}} = 2,8$

$D = 2F + P = 2 \times 2.8 + 3 = 8,3$

(b) $G = 1 \times \frac{5}{3}$

$F = G \cdot H = 10$

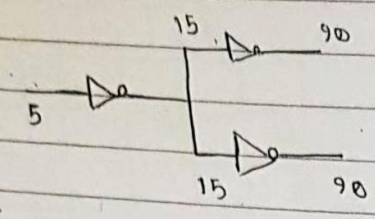
$P = 10^{\frac{1}{2}} = 3.2$

$D = 2P + P = 9,3$

✓ a <=

https://t.me/miirza_beneviis

جلسه نوزدهم



$F = G.H$

$G = 1$

$H = \frac{90}{5} = 18$

$\Rightarrow GH = 18$

$H = h_1 \cdot h_2$

$h_2 = \frac{90}{15} = 6$

$h_1 = \frac{15+15}{5} = 6$

$H = 36$

$\Rightarrow GH = 36$

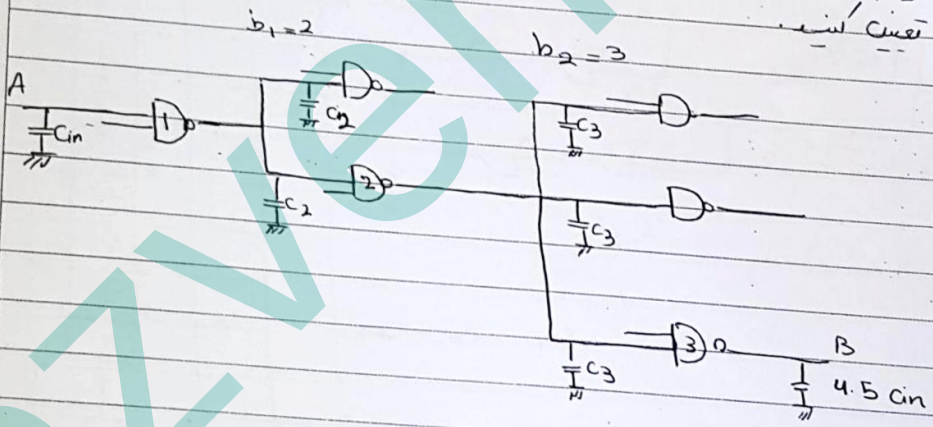
Branching effort : بیت کل خازن مشاهده شده توسط ضعه تقسیم بر خازن روی مسیر

$\frac{15+15}{15} = 2$

$F = B.G.H$

$B = \Pi b_i$ استفاده مسیر از ضرب انشعاب های ضعه های مختلف بدست می آید.

مثال: دستگاه زیر برای مسیر A تا B حداقل تاخیر را به ازای C_{in} و اندازه خازن ها برای رسیدن به این تاخیر تعیین کنید.



حل: داریم

$g_1 = \frac{4}{3}$ $\quad g_1 = g_2 = g_3 = \frac{4}{3}$

$h_1 = \frac{2C_2}{C_{in}}$, $h_2 = \frac{3C_3}{C_2}$, $h_3 = \frac{4.5\,C_{in}}{C_3}$

$H = \frac{C_{out}}{C_{in}} = \frac{4.5\,C_{in}}{C_{in}} = 4.5$ $\quad F = BGH$ $\quad B = 2 \times 3 = 6$ $\Rightarrow F = 6 \times (\frac{4}{3})^3 \times 4.5 = 64$

https://t.me/miirza_beneviis

subject ..... Date .....

$H = h_1 h_2 h_3 = \frac{2C_2}{C_{in}} \times \frac{3C_3}{C_2} \times \frac{4.5 C_{in}}{C_E} = 27$

$F = G \cdot H = \left(\frac{4}{3}\right)^3 \times 27 = 64$

$D = N F^{\frac{1}{N}} + \Sigma P_i \qquad N = 3 \qquad F^{\frac{1}{3}} = (64)^{\frac{1}{3}} = 4$

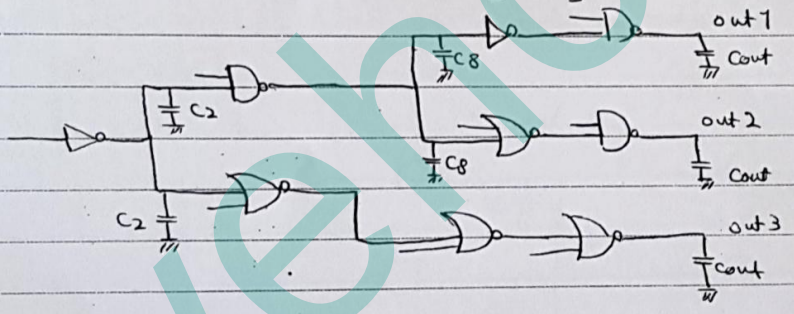
$D = 3 \times 4 + 3 \times 2 = 18$

NAND تعداد گیت های

$F = gh \qquad h = \frac{C_{out}}{C_{in}} \Rightarrow C_{in} = \frac{g \cdot C_{out}}{f}$

$C_3 = \frac{\left(\frac{4}{3}\right) \cdot (4,5\ C_{in})}{4} \qquad C_2 = \frac{3 C_3 \times g}{f}$

مثال: درخت زیر مسیر بحرانی را بدست آورید. (تمرین)



ادامه در اسلایدها Seq cir. Des.

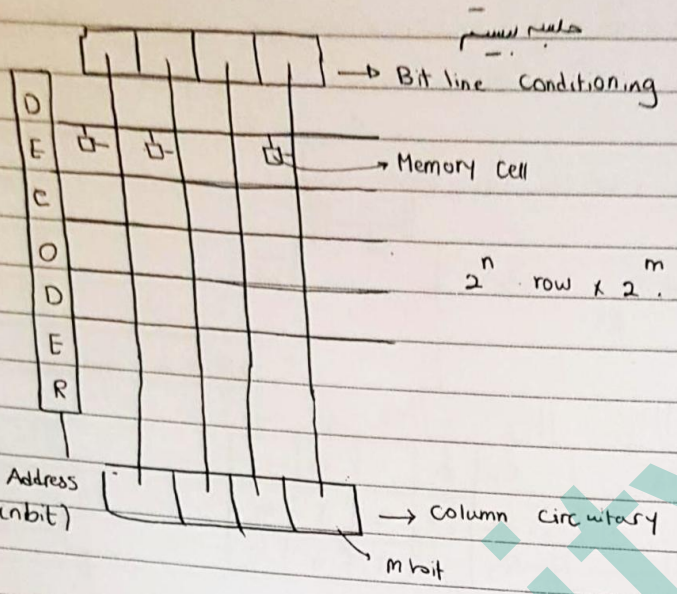
clips ITM

(۷۴)

https://t.me/miirza_beneviis

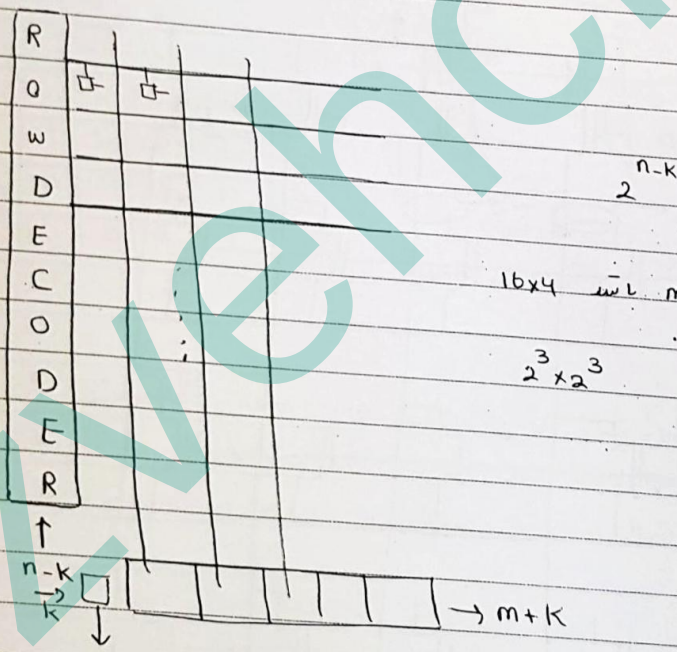
Subject ..... Date .....

حاشیه نویسی



2^n row x 2^m column

مثال (نامتقارن)



$2^{n-k} \times 2^{m+k}$

مثال: 16×4 یعنی $m=2$ ، $n=4$

$2^3 \times 2^3$

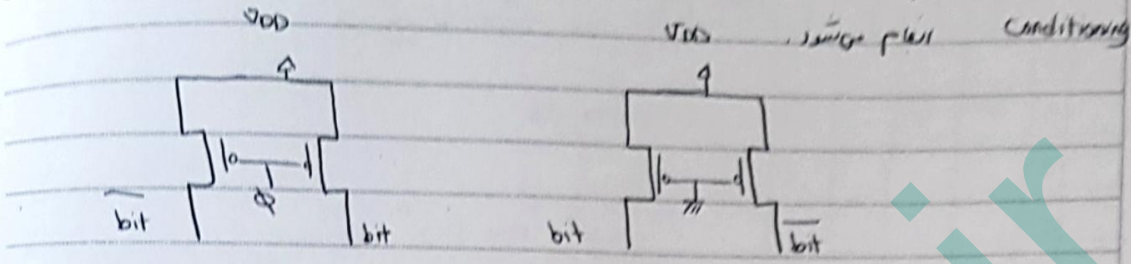
در این مثال $k=1$ در نظر گرفته شده است

clips TTM

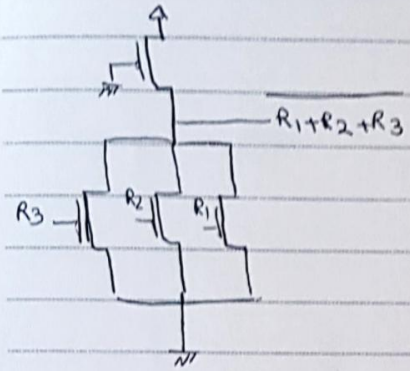
https://t.me/miirza_beneviis

Subject ..... Date .....

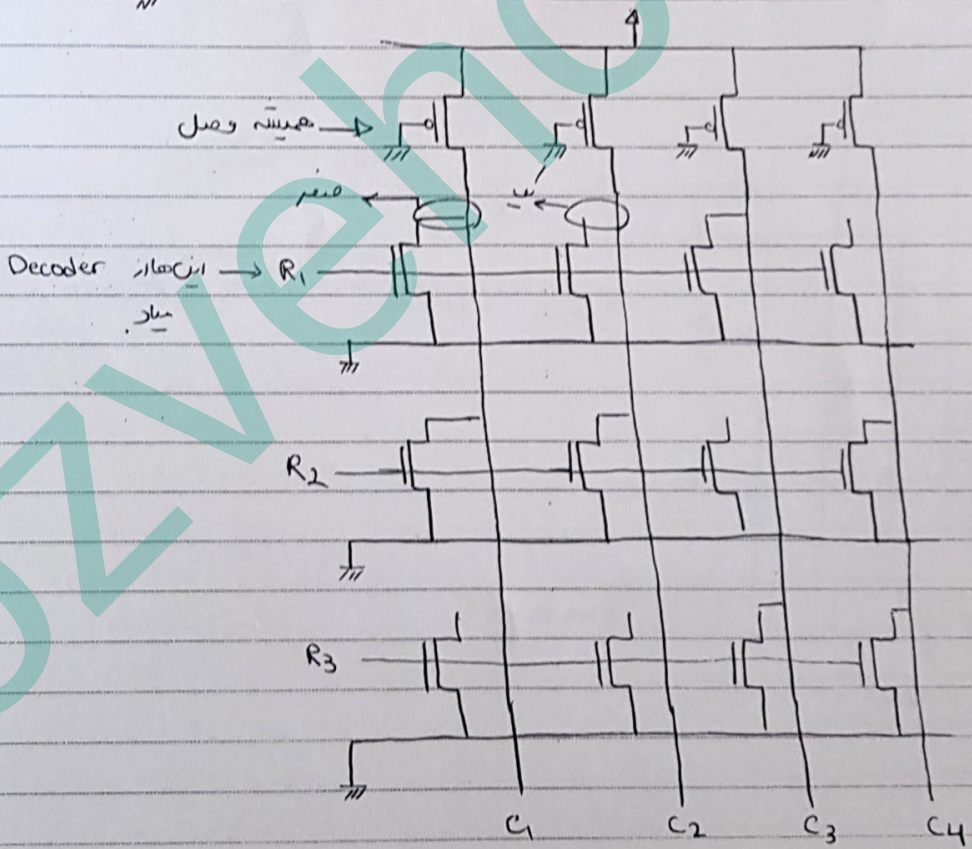
برای Bit line یک مقدار high قبل از عمل خواندن یا نوشتن bit line ها را precharge کردن یا تدبیر conditioning انجام می‌شود.



NOR-based :



	C1	C2	C3	C4
R1	0	1	0	1
R2	0	0	1	0
R3	1	1	0	0



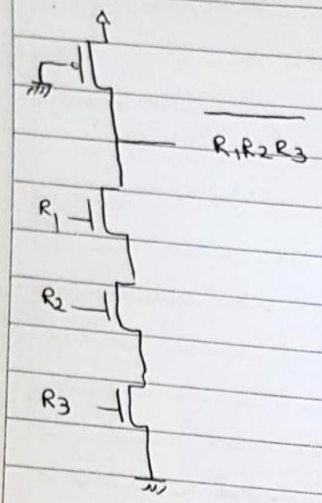
jozveh city.ir

https://t.me/miirza_beneviis

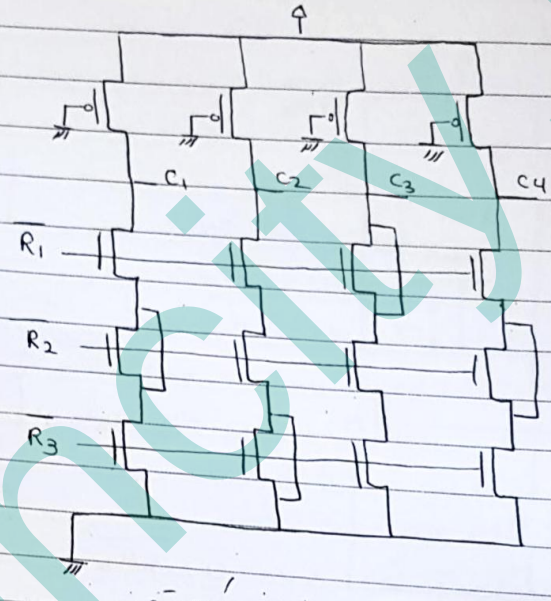
Subject ..... Date .....

هر سول حافظه از یک ترانزیستور nmos تشکیل شده است با هر آدرس ردیف تنها یک word line فعال می‌شود که سیگنال high را به ورودی گیت ترانزیستورهای موجود در ردیف اعمال می‌کند.

شکل این روش: برای هر ردیف (هر word line) یک GND داریم.



NAND_based:



	C_1	C_2	C_3	C_4
$\overline{R_1}$	1	1	0	1
$\overline{R_2}$	0	1	1	0
$\overline{R_3}$	1	0	1	1

مقادیر تمامی word line ها در حالت پیش فرض یک است.

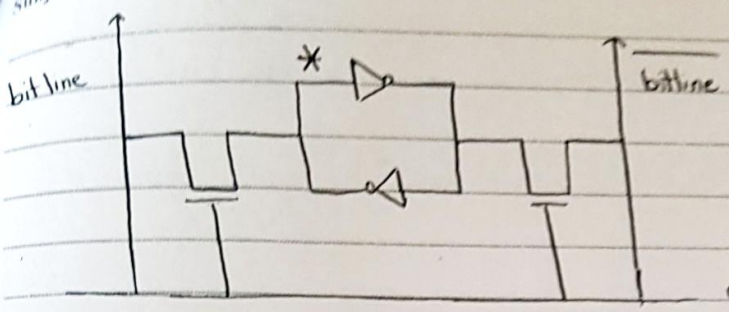
اگر بخواهیم word line را فعال کنیم مقدار آن را صفر می‌دهیم.

زمانی که هیچ word line ای فعال نیست، تمامی ترانزیستورهای nmos، ON هستند و سیگنال‌های c_i صفر هستند، زمانی که یک word line فعال می‌شود تمامی ترانزیستورهای یک ردیف قطع می‌شوند. اگر ترانزیستور موجود در ردیف اتصال کوتاه باشد سیگنال c_i آن صفر است در غیر این صورت high می‌باشد.

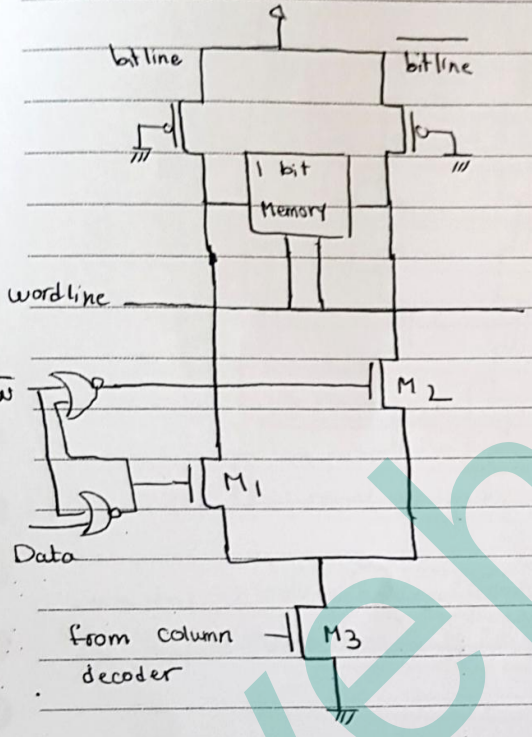
https://t.me/miirza_beneviis

Subject ..... Date .....

SRAM Cell



* عملکرد سلول:



$\bar{w} = 0$ } → M_1 is on
Data = 0 } → بیت صفر در سلول حافظه نوشته می شود.

$\bar{w} = 0$ } → M2 is on
Data = 1 } → بیت یک در سلول حافظه نوشته می شود.

هدف ما از وصل کردن خطوط bitline و $\overline{\text{bitline}}$ به سنس آمپ از طریق ترانزیستورهای M_1, M_2, M_3

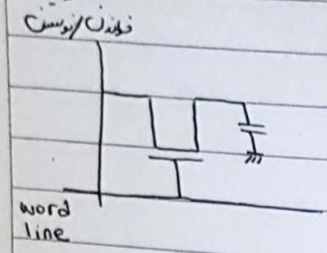
jozveh city.ir

https://t.me/miirza_beneviis

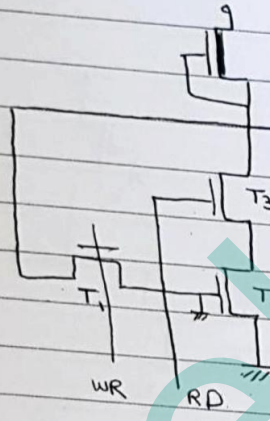
Subject ..... Date .....

جلسه بیست و نهم

سلول حافظه DRAM { یک ترانزیستوری / سه ترانزیستوری



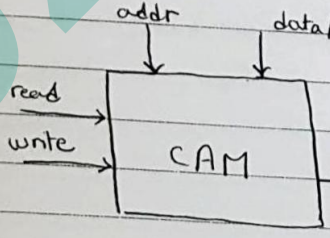
برای نوشتن خط انتخاب ردیف (word line) فعال می‌شود.
داده مورد نظر با عبور از ترانزیستور در خازن سوییچ زیرلایه ذخیره می‌شود. در زمان خواندن کافی است خط انتخاب ردیف فعال شود. در این صورت مقدار داده ذخیره شده بر روی خط خواندن/نوشتن قرار می‌گیرد.



برای نوشتن داده لازم است سیگنال WR فعال شود.
در این صورت داده مورد نظر روی خازن گیت T_2 نوشته می‌شود. در زمان خواندن سیگنال RD را فعال می‌کنیم اگر خازن گیت T_2 شارژ شده باشد یعنی مقدار یک ذخیره شده است، در این صورت T_2 روشن شده و مقدار صفر بر روی خط بیت (بیت‌لاین) ظاهر می‌شود. در غیر این صورت مقدار VDD از طریق ترانزیستور بالایی بر روی خط بیت قرار می‌گیرد. یعنی در زمان خواندن محتوای داده نوشته شده خوانده می‌شود.

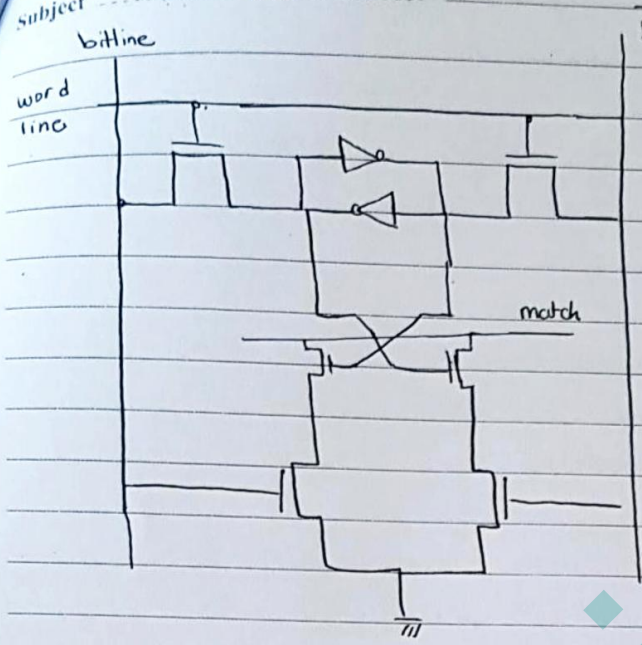
سلول حافظه CAM (Content Addressable Memory)

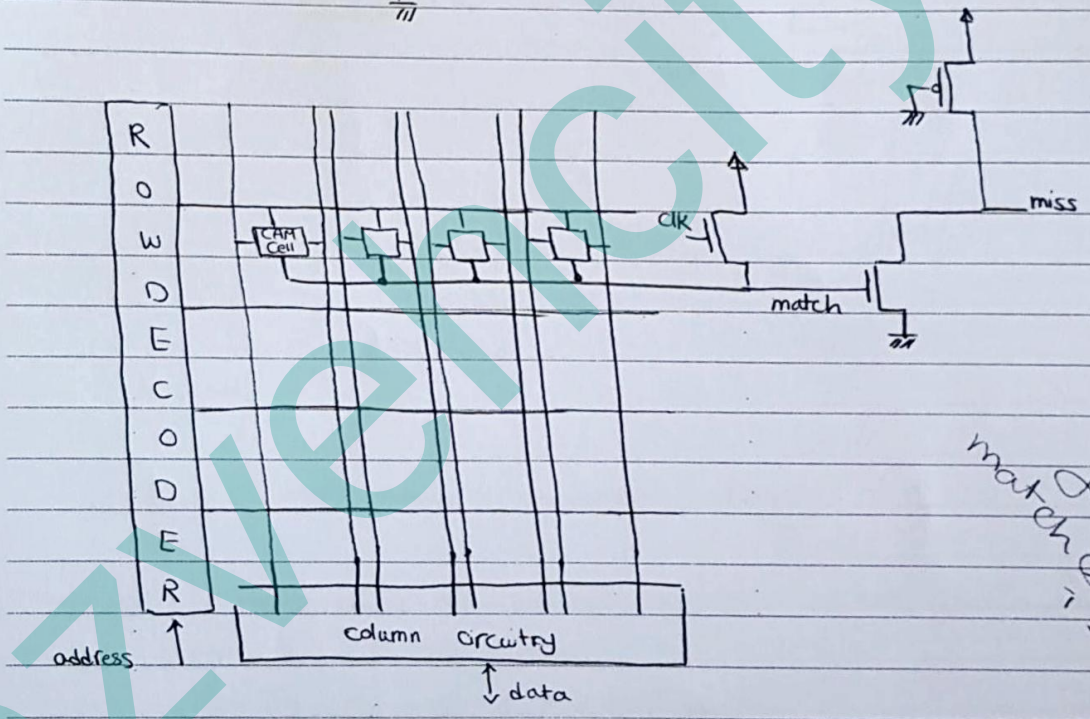
این حافظه شبیه SRAM است که هم‌چنین عملیات matching را نیز انجام می‌دهد که بیانگر این است بدون یا بودن هر خانه حافظه با داده ورودی است.
یکی از کاربردهای آن پیاده‌سازی TLB حافظه مجازی است.



مقدار key به بیت‌لاین‌ها اعمال می‌شود اگر key و مقدار ذخیره شده در سلول‌ها شباهت داشته باشد match ست می‌گردد، هر سلول حافظه در یک ردیف به یک بیت‌لاین متصل هستند.

https://t.me/miirza_beneviis





match ∝ $\frac{1}{\text{حجم}}$

precharge چیپ سلول حافظه CAM سیگنال wordline به سیگنال match line متصل هستند که به این دلیل است تنها اگر مقدار key با بیت‌های ذخیره شده برابر باشد آن گاه مقدار match یا high می‌ماند.

jozveicity.ir

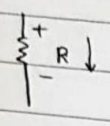
https://t.me/miirza_beneviis

Subject ..... Date .....

توان { لحظه‌ای / متوسط / مصرفی

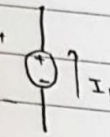
$$p(t) = I(t) \cdot V(t)$$

$$E = \int_0^T p(t)\,dt \qquad P_{avg} = \frac{E}{T} = \frac{1}{T}\int_0^T p(t)\,dt$$

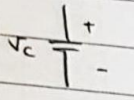


$$P_R(t) = \frac{V_R^2(t)}{R} = I_R^2(t) \cdot R$$

$$V = R \cdot I$$



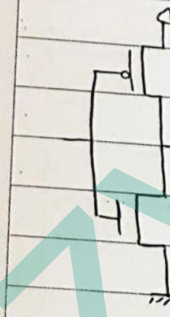
$$P_{V_{DD}}(t) = I_D(t) \cdot V_{DD}$$



$$E_C = \int_0^{\infty} I(t)\,V(t)\,dt = \int_0^{+\infty} C\frac{dV}{dt}\,V(t)\,dt$$

$$= C\int_0^{V_{DD}} V(t)\,dV = \frac{1}{2}C V_{DD}^2$$

$$I = C\frac{dV}{dt}$$



input: 1 → 0 PMOS: on $E_C = \frac{1}{2}CV_{DD}^2$

انرژی گرفته شده توسط منبع $\int_0^{\infty} I(t)V_{DD}\,dt$

$$= \int_0^{\infty} C\frac{dV}{dt}V_{DD}\,dt = C\int_0^{V_{DD}} V_{DD}\,dV$$

$$= C V_{DD}^2$$

← نصف انرژی گرفته شده از منبع تغذیه در خازن ذخیره شده است و نصف دیگر در PMOS تلف شده است.

نکته: توان تلف شده تنها به بار خازنی بستگی دارد به سرعت و اندازه ترانزیستور بستگی ندارد.

https://t.me/miirza_beneviis

Subject ..... Date .....

input : 0 → 1 NMOS : ON خازن C شارژ می‌شود و همین انرژی از منبع تغذیه گرفته می‌شود.

$$P_{switching} = \frac{E}{T} = \frac{T f_{sw} \cdot C V_{DD}^2}{T}$$

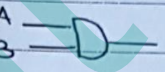
$f_{sw} = \alpha . f$

فرکانس ← ضریب فعالیت ← activity factor

$\alpha = \bar{P_i} P_i$ / احتمال تغییر کردن از صفر به یک ← P_i : احتمال یک بودن گره

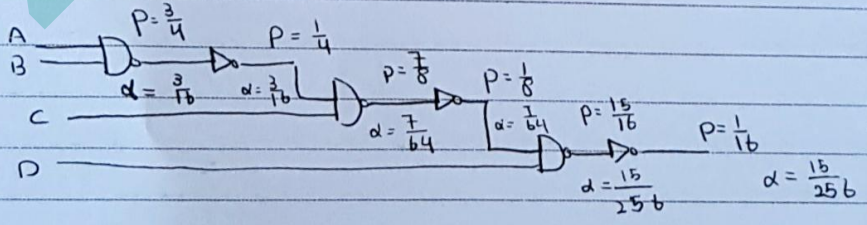
$P_i = 0.5$

گیت‌ها	احتمال یک بودن خروجی
AND2	$P_A P_B$
AND3	$P_A P_B P_C$
OR2	$1 - \bar{P_A} \cdot \bar{P_B}$
NAND2	$1 - P_A P_B$
NOR2	$\bar{P_A} \bar{P_B}$
XOR2	$P_A \bar{P_B} + \bar{P_A} P_B$



مثال:

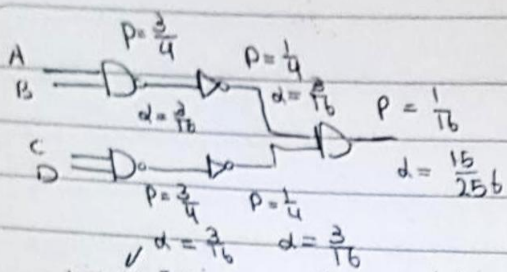
احتمال یک بودن $P_A = P_B = P_C = P_D = 0.5$



jozveh city.ir

https://t.me/miirza_beneviis

Subject .... Date ....



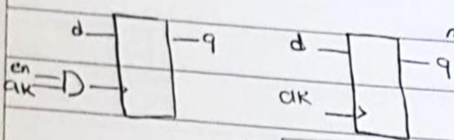
شکل بالا یک گیت AND ۴ ورودی را با دو ساختار متفاوت نشان می‌دهد. ضریب فعالیت هر کدام را با فرض برابر بودن احتمال ورودی‌ها (۰.۵) به دست آورید.

جلسه بیست دوم

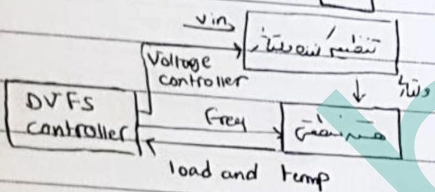
روش‌های کاهش توان پویا: 1_ clock gating

2_ DVFS (Dynamic Voltage and Frequency Scaling)

3_ multi power domain



clock gating: کلاک ماژول‌های غیرفعال را قطع می‌کنیم.



: DVFS

multi power domain: تراشه به چندین حوزه ولتاژ تقسیم می‌شود و مقدار ولتاژ اعمالی به هر قسمت بر حسب نیاز مدارهای آن قسمت مشخص می‌شود. مثلاً از ولتاژ بالا برای مسیرهای واقع در مسیر بحرانی جهت ...

چیپ‌های بالاتر با ولتاژ بیشتر برای I/O ها.

برای تبدیل ولتاژ از level shifter استفاده می‌شود.

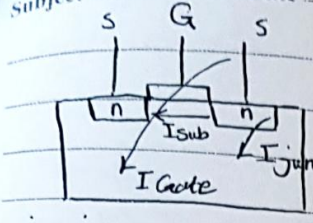
$$P = V.I$$

توان ایستا:

$$P_{static} = V.(I_{Sub} + I_{Gate} + I_{junc} + I_{contention})$$

jozvehcity.ir
https://t.me/miirza_beneviis

Subject ..... Date .....



I_{sub} & مربوط بودن‌ای است که در ترانزیستور ماسفت است، جریانی بین سورس و درین برقرار است.

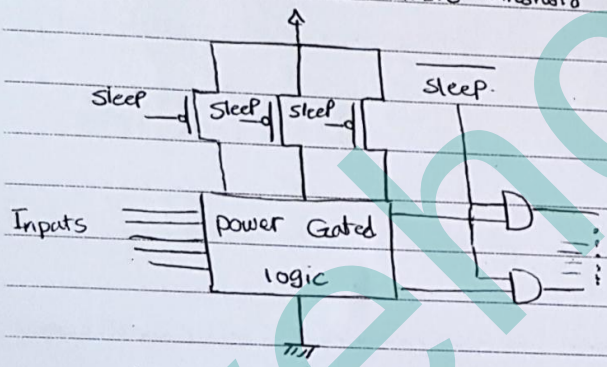
I_{Gate} : در اثر عبور حامل های بار، از دی الکتریک هنگامی که ولتاژ به گیت آن اعمال می‌شود، این جریان که پدیده خطرناکی است از طریق پدیده تونل زنی ازدی الکتریک ایجاد می‌شود.

I_{junc} : در اثر عبور جریان از پیوندهای pn بین سورس یا درین و بدنه ایجاد می‌شود.

روش‌های کاهش توان اینست : 1_ Power Gating

2_ multiple threshold voltage

3_ Variable threshold voltage



Power Gating :

multiple threshold voltage : ترانزیستورها با ولتاژ آستانه بالا ← روی مسیر تمپوئی استفاده می‌شود که سرعت مدار افزایش یابد.

ترانزیستورها با ولتاژ آستانه بالا ← روی پورت‌های دیگر قرار می‌دهیم تا جریان نشتی کمتری داشته باشیم.

Variable threshold voltage : تغییر پویا (dynamic) ولتاژ آستانه ترانزیستورها از طریق اعمال بایاس بدنه انجام می‌شود.

clips ITN

https://t.me/miirza_beneviis

ویژگی های کلاک : 1- duty cycle : نسبت زمانی که کلاک مقدار یک است به کل مقدار یک و صفر

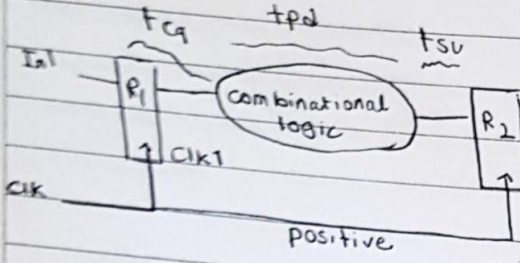
2- clock skew

3- jitter

clock skew : پدیده ای در مدارهای ترتیبی است که سیگنال کلاک تولید شده توسط یک منبع در زمان های مختلف به اجزای مختلف مدار می رسد که علت آن طول سیم ارتباطی، تغییرات دما و تغییرات در فرآیند ساخت است.

positive -1

Negative -2

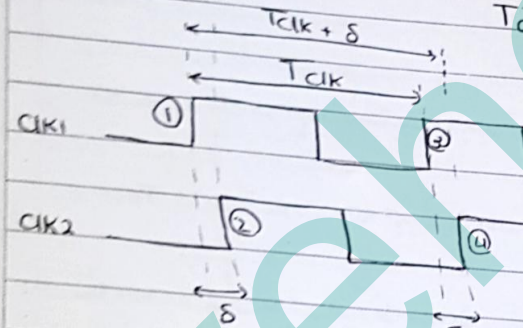


positive :

در این حالت رجیستر فرستنده داده را نیم کلاک زودتر از رجیستر مقصد دریافت می کند.

به عبارتی سیگنال کلاک در جهت عبور جریان داده است.

$T_{clk} > t_{cq} + t_{pd} + t_{su}$



در این شکل clk2 از clk1 عقب می افتد

ورودی جدید Int توسط R_1 نمونه برداری می شود و در لبه 4 توسط R_2 نمونه برداری می شود، برای این که سیگنال بین دو رجیستر R_1 و R_2 اشکال نباید

$T > t_{cq} + t_{pd} + t_{su} - \delta$

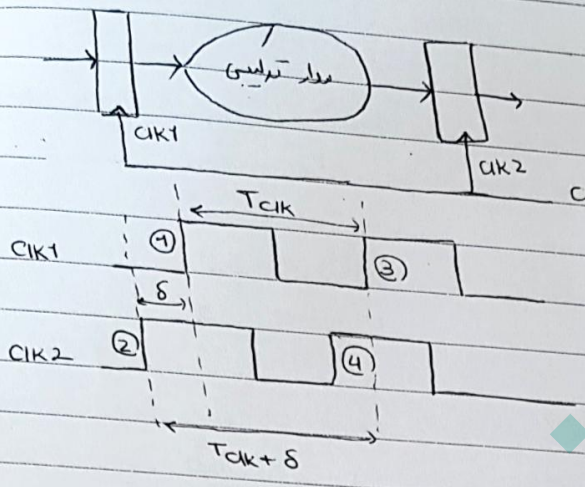
اگر حداقل تأخیر مدار ترکیبی کم باشد ممکن است ورودی رجیستر R_2 قبل از لبه ② کلاک تغییر کند و مقدار تغییر کرده توسط لبه ② کلاک نمونه برداری شود. برای اجتناب از این رخداد لازم است که حداقل تأخیر از طریق رجیستر و مدار ترکیبی به اندازه ای باشد که ورودی رجیستر R_2 برای لبه ② کلاک hold time را داشته باشد.

$\delta + t_{hold} < t_{cd\,Reg} + t_{cd\,logic}$

https://t.me/miirza_beneviis

Subject ---------- Date ----------

جلسه بیست و سوم



: Negative

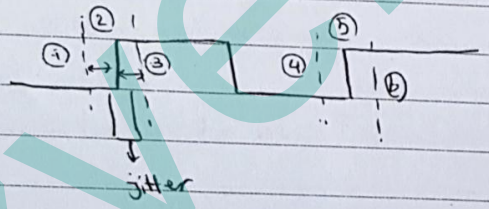
در این حالت لبه پایین رونده CLK2 قبل از CLK1 اتفاق می افتد. در لبه بالا رونده CLK1 دوری جدید نمونه برداری می شود و دوباره پس از مدار ترکیبی در لبه 4 توسط CLK2 نمونه برداری می شود. مقدار Skew منفی در کارایی سیستم اثری ندارد زیرا Skew زمان لازم برای انجام محاسبات را کاهش می دهد.

: Jitter

دوره تناوب برای هر پریود نسبت به پریود قبلی آن کمتر است افزایش یا کاهش داشته باشد.

$T_{n+1} - T_n \neq \phi$

T_{n+1} : دوره تناوب برای پریود n+1



در شکل روبه رو کلاک به طور ایده آل در لبه 2 شروع و در لبه 5 پایان می یابد اما به دلیل jitter پریود کلاک کمتر است تا لبه 3 به تأخیر بیفتد و پریود بعدی در لبه 4 شروع شود، دستیابی کلاک لازم برای انجام محاسبه با فاصله 2jitter طی می شود.

$t_{clk} - 2jitter > t_{cq} + t_{pd} + t_{su}$

Clock Distribution Network

1. unconstrained tree
2. balanced tree
   1. X-tree
   2. H-tree

jozveh city.ir

https://t.me/miirza_beneviis

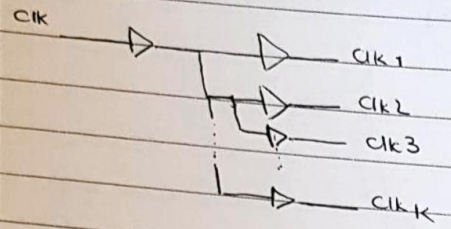
Subject ..... Date .....

برای این که مطمئن شویم شبکه توزیع کلاک به درستی کار می‌کند:

① تقارن مسیرها باید دقیقاً یکسان باشد.

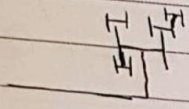
② حساسیت زمان‌های rise و fall لازم است مشخص شوند.

③ حداکثر clock skew برای هر function block مشخص و کنترل شود.



unconstrained tree:

این روش درستترین و ساده‌ترین روش است و کمترین محدودیت در تعداد سطوح درخت را دارد. در این روش سعی می‌شود اختلاف تأخیر بین همه انشعاب‌های کلاک کاهش یابد. به دلیل محدودیت‌ها و عیب‌های این روش معمولاً در مدارهای محاسباتی کوچک به بعضی از بخش‌های دیگر استفاده می‌شود.



H - tree:

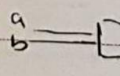
در این روش به دلیل ساختار متقارن تأخیرهای بیشتری از بقیه روش‌ها وجود دارد.

Defect: اختلاف ناخواسته بین ساخت افزاره نسبت به طرح مورد نظر است. Defect‌ها در زمان ساخت ایجاد می‌شوند.

Fault: تجلی defect‌ها در سطح مدار

Error: خروجی اشتباه سیستم به دلیل Fault

Single stuck at Fault: Stuck_at ∘ , Stuck_at 1



انتظار داریم a=1 , b=1 ⟹ c=0

انتظار داریم a=0 , b=1 ⟹ c=1

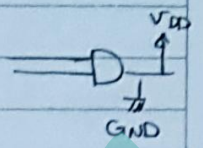
https://t.me/miirza_beneviis

Subject ..... Date .....

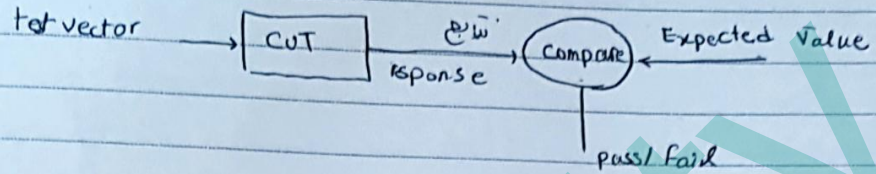
a	b	AND	NAND
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

NAND (دروازه)

Stuck at 0	Stuck at 1
0	1
0	1
0	1
0	1



بردار تست

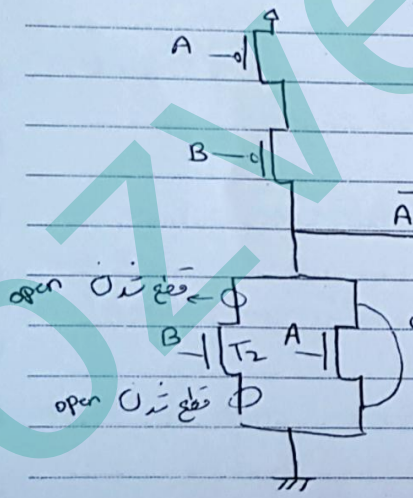


فرایند تست :

① چه Fault هایی را Fault modeling / test میسنجیم؟

② چگونه test pattern - تولید میکنیم؟ Test pattern generation

③ تست / test ؛ چگونه ارزیابی میکنیم؟ Fault simulation (برای محاسبه Fault coverage)



* مشکل ترانزیستور { Stuck at open / Stuck at close

اگر ترانزیستور T_2 به Stuck at open بدهیم سری
بین D و S این ترانزیستور دیگر وصل نخواهد شد.

در این مدار نیاز به دو بردار تست داریم
می دهیم . تا خروجی 1 شود مقدار $a=0$, $b=1$ قرار
قرار می دهیم تا گیت مدار استاک دارد مشخص شود.

Jozveh city.ir
https://t.me/miirza_beneviis

Subject ..... Date .....

BIST _2 Scanbased _18 (DFT) Design For test

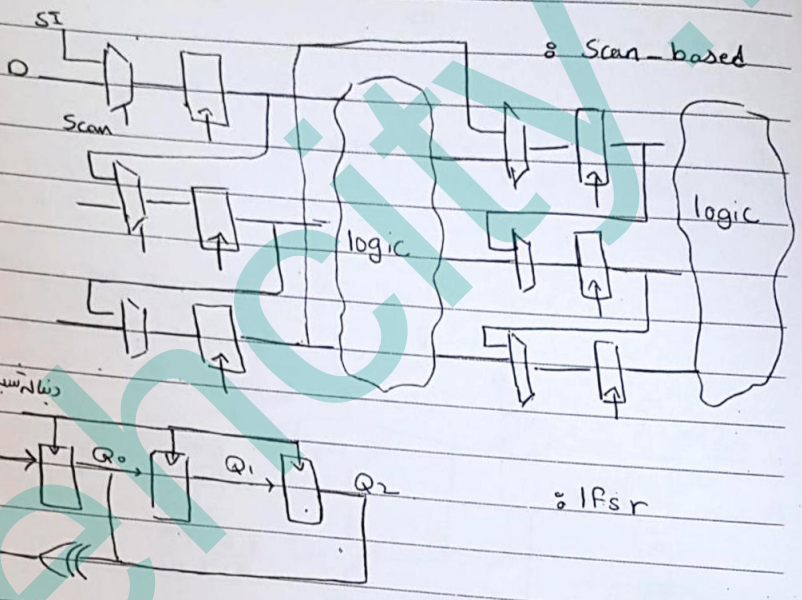
Build in self test

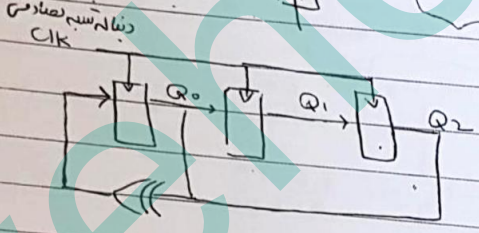
D
SI
Scan

lfsr

linear feedback shift Register

CRC → ... check sum





: lfsr

Seed مقدار اولیه

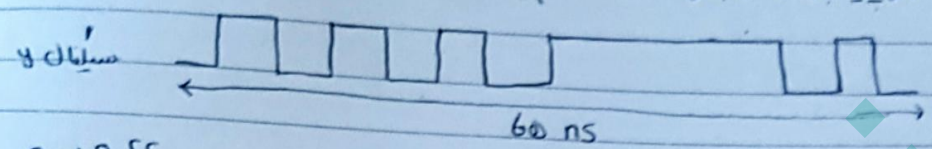
Step	Q2	Q1	Q0
0	1	1	1
1	1	1	0
2	1	0	1
3	0	1	0
4	1	0	0
5	0	0	1
6	0	1	1
7	1	1	1

https://t.me/miirza_beneviis

Subject ..... Date .....

تمرین سری چهارم

میانگین توان مصرفی یک برای گره خروجی y که شکل موج آن نشان داده شده است را به دست آورید.



$C = 108\ FF$

$V_{DD} = 2,5\ V$

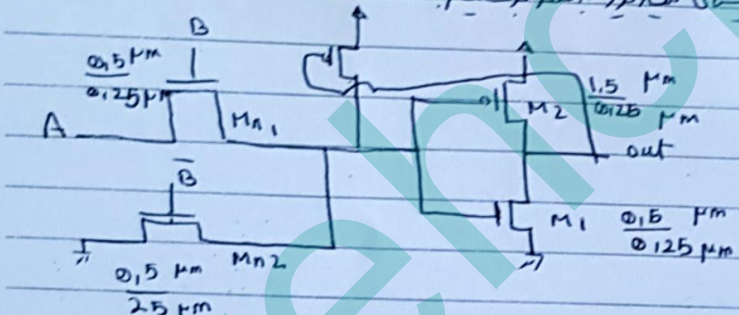
$P_{dyn} = C V_{DD}^2 f_{sw} = 108\ FF \times (2,5)^2 \times (83\ MHz)$

$= 56,3\ \mu W$

$f_{sw} = \frac{1}{60 \cdot 5} = \frac{1}{12\ ns} = 83,3\ MHz$

مثال) الف) گیت زیر چه تابعی را پیاده‌سازی می‌کند؟

ب) چون می‌توانیم توان استاتیک را به صفر برسانیم.



حل: الف) NAND

$V_{DD} = 2,5\ V$ $k_n = 115\ \mu A/V^2$ $k_p = -30\mu A/V^2$ $V_{tn} = 0,43\ V$

$V_{tp} = -0,4\ V$

حل ب)

$V_{DD} - V_{tn} = 2,5 - 0,43$

$V_{GSp} = 2,5 - 0,43 - 2,5 = -0,43\ V$ ولتاژ آستانه

$V_{GSn} = 2,5 - 0,43$ ولتاژ آستانه

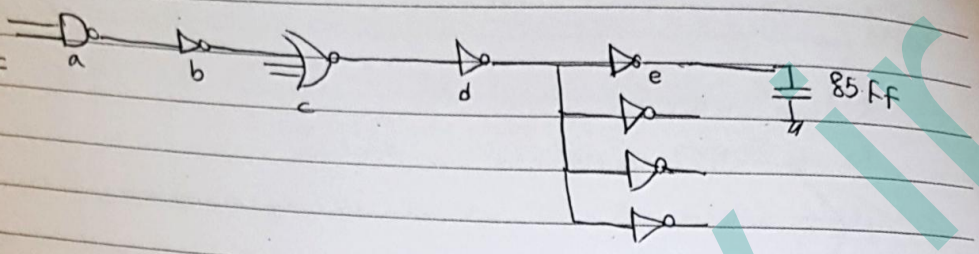
چون اگر A=1 شود و B=1 باشد باید راه به عبور نخواهد یافت — این وضعیت را برطرف نمی‌کند

jozveh city.ir

https://t.me/miirza_beneviis

Subject ..... Date .....

مثال: حداقل تأخیر را در مدار زیر بدست آورید. و اندازه هازن ورودی ات ها را بدست بیاورید.



$N = 5$

$B = 4$

$G = \frac{4}{3} \times 1 \times \frac{7}{3} \times 1 \times 1 = \frac{28}{9}$

$H = \frac{C_{out}}{C_{in}} = \frac{85}{2} = 42.5$ $\quad F = BGH = 528.89$

$D = N F^{\frac{1}{N}} + \sum P_i = 5 \times \sqrt[5]{528,89} + (2+1+3+1+1) = 21.25$

$C_{in} = \frac{C_{out} \cdot g}{P}$

$f = \sqrt[5]{528,89}$

$e \Rightarrow C_{in} = \frac{85\ ff}{3.505} = 24,25$

$d \Rightarrow C_{in} = \frac{24,25 \times 1 \times 4}{3.504} = 27.68$

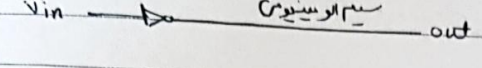
$c \Rightarrow C_{in} = \frac{27,68 \times (\frac{7}{3})}{3,505} = 18,43$

$b \Rightarrow C_{in} = \frac{18.43 \times 1}{3.505} = 5,26\ ff$

https://t.me/miirza_beneviis

Subject ..... Date .....

مثال: مکعبی شده‌ای به سیم آلومینیومی متصل شده است



$R_{NMOS} = 10\ K\Omega$

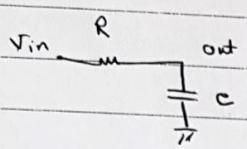
$R_S\ AL = 0.08\ \Omega/\square$

$L_{سیم} = 10\ cm$

$W_{سیم} = 1\ \mu m$

$t_{PHL} = ?$

از مدل π برای مدل کردن سیم استفاده شود.



$$R = R_S \times \frac{L}{W} = 0.08 \times \frac{10^5\ \mu m}{1\ \mu m} = 8\ K\Omega$$

$$R_{out} = R_{inverter} + R_{wire} = 18\ K\Omega$$

$$t_{PHL} = 0.69\ RC$$

jozvehcity.ir

https://t.me/miirza_beneviis

1)

$I_{DS} = 0$, $V_{GS} < V_{th}$: cut-off

$I_{DS} = \mu_n C_{ox} \frac{W}{L} \left((V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2}\right)$, $V_{DS} < V_{GS} - V_{th}$, $V_{GS} > V_{th}$: linear

$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (1+\lambda)(V_{GS} - V_{th})^2$, $V_{DS} > V_{GS} - V_{th}$, $V_{GS} > V_{th}$: Sat

} NMOS

$I_{DS} = 0$, $V_{GS} > V_{th}$: cut-off

$I_{DS} = \mu_p C_{ox} \frac{W}{L} \left((V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2\right)$ $V_{DS} > V_{GS} - V_{th}$, $V_{GS} < V_{th}$: linear

$I_{DS} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (1+\lambda)(V_{GS} - V_{th})^2$, $V_{DS} < V_{GS} - V_{th}$, $V_{GS} > V_{th}$: Sat

} PMOS

$t_{rise} = t_{90\%} - t_{10\%}$ $t_{fall} = t_{10\%} - t_{90\%}$, $t_p = \frac{1}{2}(t_{pHL} + t_{pLH})$

$V_{OH} = V_{DD}$, $V_{IH} = \frac{V_{DD} + V_{tp} + \frac{k_n}{k_p}(2V_{out} + V_{th})}{1 + \frac{k_n}{k_p}}$

$V_{OL} = 0$, $V_{OH} = \frac{2V_{out} + V_{tp} - V_{DD} + \frac{k_n}{k_p} V_{th}}{1 + \frac{k_n}{k_p}}$

$V_{out} = V_{DD} - V_{th}$: (1)

$V_{out} = 0$: (0) ← nmos

$V_{out} = V_{DD}$: (1)

$V_{out} = |V_{tp}|$: (0) ← pmos

} pass-trans

V_{th}/β , V_{DD}/β , t_{ox}/β , $\frac{x_j}{\alpha}$, $\frac{W}{\alpha}$, $\frac{L}{\alpha}$

$C_{GDO} = C_{GSO} = C_{ox} \cdot W \cdot L_D$

$C_{gcb} = C_{ox} \cdot W \cdot L$, $C_{gcs} = C_{gcd} = 0$: cut-off

$C_{gcs} = C_{gcd} = \frac{1}{2} C_{ox} \cdot W \cdot L$, $C_{gcb} = 0$: linear

$C_{gcs}^{S} = \frac{2}{3} C_{ox} \cdot W \cdot L$, $C_{gcd} = 0$: sat

$C_{diff} = C_{bottom} + C_{sw} = C_j \cdot L_S \cdot W + C_{jsw} \cdot (2L_S + W)$

$R = R_S \cdot \frac{\ell}{W}$, $R_{ON} = k \cdot \frac{L}{W}$, $k = \frac{1}{\mu C_{ox} (V_{DD} - V_{th})}$

https://t.me/miirza_beneviis

$P = V \cdot I$

$P_{static} = V \cdot (I_{Sub} + I_{Gate} + I_{junc} + I_{contention})$

Subject:

$t_{clk} - 2\,jitter \geq t_{cq} + t_{pd} + t_{su}$

$T_{clk} > t_{cq} + t_{pd} + t_{su}$

$\delta + t_{hold} < t_{cd\,Reg} + t_{cd\,logic}$

$C = \frac{\varepsilon_{ins} \cdot \varepsilon_0 A}{D}$, $C = \varepsilon \cdot \left[\frac{w}{h} + 0{,}77 + 1{,}06 \left(\frac{w}{h}\right)^{0{,}25} + 1{,}06 \left(\frac{t}{h}\right)^{0{,}5} \right]$

$t_{pHL} = 0{,}69\, RC$ $\quad C_{Load} = C_{db P_1} + C_{wire} + C_{db n_1} + C_{gcP_2} + C_{gcn_2}$

$\frac{(V_{DD} - V_t)^2}{2}$ $\quad V_B > V_{DD} - V_{th}$

$(V_{DD} - V_t - \frac{V_B}{2}) V_B$ $\quad V_B < V_{DD} - V_{th}$

$\frac{2R}{k}$, kc : pmos $\quad \frac{R}{k}$, kc : nmos

$\tau D_i = \sum_{k=1}^{5} C_k R_{ik} = C_1 R_{i1} + C_2 R_{i2} + \dots + C_4 R_{i4} + C_i R_{i5}$

$R_{ik} = \sum R_j \; (R_j \in path(s \to j) \cap path(s \to k))$

$d = \frac{\tau_{real}}{\alpha}$ $\quad d = f + p = g \cdot h + p$

$\frac{n+1}{2}$ $\quad \frac{2n+1}{2}$

$g_{(nand)} = \frac{n+2}{3}$ $\quad g_{(nor)} = \frac{(2n+1)}{3}$ $\quad h = \frac{C_{out}}{C_{in}}$ $\quad p = n$

$D = N \cdot F^{\frac{1}{N}} + \sum p_i$ $\quad F = B \cdot G \cdot H$

$P(t) = I(t) \cdot V(t)$ $\quad E = \int_0^T p(t)\,dt$

$2^{n-k} \times 2^{m+k}$

$P_{avg} = \frac{E}{T} = \frac{1}{T} \int_0^T p(t)\,dt$

$P_R(t) = \frac{V_R^2(t)}{R}$ $\quad P_{VDD} = I_D(t) \cdot V_{DD}$

$E_e = \frac{1}{2} C V_{DD}^2$ $\quad I = C \frac{dV}{dt}$ $\quad P_{switching} = \frac{E}{T} = \frac{T f_{sw} \cdot C V_{DD}^2}{T}$

$f_{sw} = \alpha \cdot f$ $\quad \alpha = \overline{P_i} \cdot P_i$ $\quad P_{dyn} = C V_{DD}^2 f_{sw}$

AND2 : $P_A P_B$ $\quad$ AND3 : $P_A P_B P_C$ $\quad$ OR2 : $1 - \overline{P_A} \cdot \overline{P_B}$ $\quad$ NAND2 = $1 - P_A P_B$

NOR 2 : $\overline{P_A}\,\overline{P_B}$ $\quad$ XOR2 : $P_A \overline{P_B} + \overline{P_A} P_B$

s.a.m

jozveneity.ir

https://t.me/miirza_beneviis